

数据手册

AS3010

32 位基于 ARM[®] Cortex[®] M0 核心的微控制器

版本：1.00



深圳市全智芯科技有限公司
Shenzhen Aschip Tech Co., Ltd.

目录

1	简介	1
1.1	概述	1
1.2	产品特性	1
2	规格说明	3
2.1	器件对比	3
2.2	概述	3
2.2.1	ARM 的 Cortex-M0 核心并内嵌闪存和 SRAM	3
2.2.2	内置闪存存储器	3
2.2.3	内置 SRAM	4
2.2.4	CRC(循环冗余校验) 计算单元	4
2.2.5	嵌套的向量式中断控制器 (NVIC)	4
2.2.6	外部中断/事件控制器 (EXTI)	4
2.2.7	时钟和启动	4
2.2.8	自举模式	4
2.2.9	供电方案	4
2.2.10	供电监控器	5
2.2.11	电压调压器	5
2.2.12	低功耗模式	5
2.2.13	定时器和看门狗	5
2.2.14	通用异步收发器 (UART)	7
2.2.15	I2C 总线	7
2.2.16	串行外设接口 (SPI)	7
2.2.17	通用输入输出接口 (GPIO)	7
2.2.18	ADC(模拟/数字转换器)	7
2.2.19	串行单线 SWD 调试口 (SW-DP)	8
3	引脚定义	10
4	存储器映像	14
5	电气特性	16
5.1	测试条件	16
5.1.1	典型数值	16
5.1.2	典型曲线	16
5.1.3	负载电容	16
5.1.4	引脚输入电压	16
5.1.5	供电方案	17
5.1.6	电流消耗测量	17
5.2	绝对最大额定值	18
5.3	工作条件	19
5.3.1	通用工作条件	19
5.3.2	上电和掉电时的工作条件	19
5.3.3	内嵌复位和电源控制模块特性	19

5.3.4	供电电流特性	20
5.3.5	外部时钟源特性	24
5.3.6	内部时钟源特性	26
5.3.7	存储器特性	27
5.3.8	EMC 特性	28
5.3.9	绝对最大值 (电气敏感性)	28
5.3.10	I/O 端口特性	29
5.3.11	NRST 引脚特性	31
5.3.12	TIM 定时器特性	32
5.3.13	通信接口	33
5.3.14	12 位 ADC 特性	37
6	封装特性	41
6.1	封装 QFN20	41
6.2	封装 TSSOP20	43
7	型号命名	45
8	修改记录	46

插图

1	模块框图	8
2	时钟树	9
3	QFN20 引脚分布	10
4	TSSOP20 引脚分布	10
5	引脚的负载条件	16
6	引脚输入电压	17
7	供电方案	17
8	电流消耗测量方案	18
9	待机模式下的典型电流消耗在 $V_{DD} = 3.3V$ 时与温度的对比	21
10	停机模式下的典型电流消耗在 $V_{DD} = 3.3V$ 时与温度的对比	22
11	外部高速时钟源的交流时序图	25
12	使用 8MHz 晶体的典型应用	26
13	输入输出交流特性定义	31
14	建议的 NRST 引脚保护	32
15	I2C 总线交流波形和测量电路 ⁽¹⁾	34
16	SPI 时序图-从模式和 CPHA = 0	35
17	SPI 时序图-从模式和 CPHA = 1 ⁽¹⁾	36
18	SPI 时序图-主模式 ⁽¹⁾	37
19	使用 ADC 典型的连接图	39
20	供电电源和参考电源去藕线路	40
21	QFN20, 20 脚方形扁平无引线封装外形封装图	41
22	TSSOP20, 20 脚低剖面长方形扁平封装图	43
23	AS3 型号命名	45

表格

1	产品功能和外设配置	3
2	定时器功能比较	5
3	引脚定义	11
4	PA 端口功能复用 AF0-AF7	12
5	PB 端口功能复用 AF0-AF7	13
6	存储器映像	14
7	电压特性	18
8	电流特性	18
9	温度特性	19
10	通用工作条件	19
11	上电和掉电时的工作条件	19
12	内嵌复位和电源控制模块特性	20
13	停机和待机模式下的典型和最大电流消耗 ⁽²⁾	21
14	运行模式下的最大电流消耗, 数据处理代码从内部闪存中运行	22
15	运行模式高低温下的典型电流消耗, 数据处理代码从内部 Flash 中运行	23
16	睡眠模式下的最大电流消耗, 代码运行在 flash 中	23
17	睡眠模式高低温下的典型电流消耗, 数据处理代码从内部 Flash 中运行	24
18	高速外部用户时钟特性	24
19	HSE 2 ~ 24MHz 振荡器特性 ⁽¹⁾⁽²⁾	25
20	HSI 振荡器特性 ⁽¹⁾⁽²⁾	26
21	LSI 振荡器特性 ⁽¹⁾	26
22	低功耗模式的唤醒时间	27
23	闪存存储器特性	27
24	闪存存储器寿命和数据保存期限 ⁽¹⁾⁽²⁾	28
25	MCU ESD 特性	29
26	I/O 静态特性	29
27	输出电压特性	30
28	输入输出交流特性 ⁽¹⁾⁽²⁾	30
29	NRST 引脚特性	31
30	TIMx ⁽¹⁾ 特性	32
31	I2C 接口特性	33
32	SPI 特性 ⁽¹⁾	34
33	ADC 特性	37
34	f _{ADC} =15MHz ⁽¹⁾ 时的最大 R _{AIN}	38
35	ADC 精度 - 局限的测试条件 ⁽¹⁾⁽²⁾	38
36	QFN20 尺寸说明	42
37	TSSOP20 尺寸说明	43
38	修改记录	46

1

简介

简介

1.1 概述

本产品使用高性能的 ARM® Cortex®-M0 为内核的 32 位微控制器，最高工作频率可达 48MHz，内置高速存储器，丰富的增强型 I/O 端口和外设连接到外部总线。本产品包含 1 个 12 位的 ADC、1 个 16 位通用定时器、1 个 16 位基本定时器、1 个 16 位高级定时器。还包含标准的通信接口：1 个 I2C 接口、1 个 SPI 接口和 2 个 UART 接口。

本产品产品系列工作电压为 2.0V ~ 5.5V，工作温度范围 -40°C ~ +85°C 常规型。多种省电工作模式保证低功耗应用的要求。

本产品提供 QFN20 和 TSSOP20 共 2 种封装形式。

根据不同的封装形式，器件中的外设配置不尽相同。

这些丰富的外设配置，使得本产品微控制器适合于多种应用场合：

- 电机驱动和应用控制
- 医疗和手持设备
- PC 游戏外设和 GPS 平台
- 工业应用：可编程控制器 (PLC)、变频器、打印机和扫描仪
- 警报系统、视频对讲、和暖气通风空调系统等

1.2 产品特性

- 内核与系统
 - 32 位 ARM® Cortex®-M0 处理器内核
 - 最高工作频率可达 48MHz
 - 单指令周期 32 位硬件乘法器
- 存储器
 - 高达 16K 字节的闪存程序存储器
 - 高达 2K 字节的 SRAM
 - Boot loader 支持片内 Flash、在线系统编程 (ISP)
- 时钟、复位和电源管理
 - 2.0V ~ 5.5V 供电
 - 上电/断电复位 (POR/PDR)、可编程电压监测器 (PVD)
 - POR 复位电压低至 1.7V
 - PVD 电压阈值可低至 1.8V
 - 外部 2 ~ 24MHz 高速晶体振荡器
 - 内嵌经出厂调校的 48MHz 高速振荡器
 - 外部 32.768K 低速振荡器

- 低功耗
 - 睡眠、停机和待机模式
- 1 个 12 位模数转换器，1 μ S 转换时间 (多达 8 个输入通道)
 - 转换范围：0 ~ V_{DD}
 - 支持采样时间和分辨率配置
 - 片上电压传感器
- 多达 18 个快速 I/O 端口：
 - 所有 I/O 口可以映像到 16 个外部中断
 - 所有端口均可输入输出 5V 信号
- 调试模式
 - 串行单线调试 (SWD)
- 多达 6 个定时器
 - 1 个 16 位 4 通道高级控制定时器，有 4 通道 PWM 输出，以及死区生成和紧急停止功能
 - 1 个 16 位定时器，有高达 3 个输入捕获/输出比较，可用于 IR 控制解码
 - 1 个 16 位定时器，有 1 个输入捕获/输出比较
 - 2 个看门狗定时器 (独立的和窗口型的)
 - 1 系统时间定时器：24 位自减型计数器
- 多达 4 个通信接口
 - 2 个 UART 接口
 - 1 个 I2C 接口
 - 1 个 SPI 接口
- 96 位的芯片唯一 ID (UID)
- 采用 QFN20 和 TSSOP20 封装

有关完整的本产品的详细信息，请参考本产品数据手册第 2.2 节。

有关 Cortex[®]-M0 核心的相关信息，请参考《Cortex[®]-M0 技术参考手册》。

2

规格说明

规格说明

2.1 器件对比

表 1. 产品功能和外设置

外围接口		产品型号	AS3010N	AS3010T
闪存 - K 字节			16	16
SRAM - K 字节			2	2
定时器	通用 (16 bit)		1	1
	基本		1	1
	高级		1	1
通讯接口	UART		2	2
	I2C		1	1
	SPI		1	1
GPIO 端口数			18	18
12 位 ADC	个数		1	1
	通道数		8	8
CPU 频率		48 MHz		
工作电压		2.0V ~ 5.5V		
封装			QFN20	TSSOP20

2.2 概述

2.2.1 ARM 的 Cortex-M0 核心并内嵌闪存和 SRAM

ARM® 的 Cortex®-M0 处理器是最新一代的嵌入式 ARM 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

ARM® 的 Cortex®-M0 是 32 位的 RISC 处理器，提供额外的代码效率，在通常 8 和 16 位系统的存储空间上发挥了 ARM 内核的高性能。

本产品拥有内置的 ARM 核心，因此它与所有的 ARM 工具和软件兼容。

2.2.2 内置闪存存储器

最大 16K 字节的内置闪存存储器，用于存放程序和数据。

2.2.3 内置 SRAM

最大 2K 字节的内置 SRAM。

2.2.4 CRC(循环冗余校验) 计算单元

CRC(循环冗余校验) 计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

2.2.5 嵌套的向量式中断控制器 (NVIC)

本产品内置嵌套的向量式中断控制器，能够处理多个可屏蔽中断通道 (不包括 16 个 Cortex™-M0 的中断线) 和 16 个可编程优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.2.6 外部中断/事件控制器 (EXTI)

外部中断/事件控制器包含多个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件 (上升沿或下降沿或双边沿)，并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI 可以检测到脉冲宽度小于内部 APB1 的时钟周期。所有通用 I/O 口连接到 16 个外部中断线。

2.2.7 时钟和启动

多个预分频器用于配置 AHB 的频率、高速 APB 区域。AHB 和高速 APB 的最高频率是 48MHz。参考图 2 的时钟驱动框图。

2.2.8 自举模式

在启动时，通过自举引脚可以选择三种自举模式中的一种：

- 从程序闪存存储器自举
- 从系统存储器自举
- 从内部 SRAM 自举

自举加载程序 (Boot loader) 存放于系统存储器中，可以通过 UART1 对闪存重新编程。

2.2.9 供电方案

- $V_{DD} = 2.0V \sim 5.5V$: V_{DD} 引脚为 I/O 引脚和内部调压器供电。

2.2.10 供电监控器

本产品内部集成了上电复位 (POR)/掉电复位 (PDR) 电路，该电路始终处于工作状态，保证系统供电超过 2.0V 时工作；当 V_{DD} 低于设定的阈值 ($V_{POR/PDR}$) 时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器 (PVD)，它监视 V_{DD} 供电并与阈值 V_{PVD} 比较，当 V_{DD} 低于或高于阈值 V_{PVD} 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

2.2.11 电压调压器

调压器将外部电压转成内部数字逻辑工作的电压，该调压器在复位后始终处于工作状态。

2.2.12 低功耗模式

产品支持低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

睡眠模式

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

停机模式

在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，HSI 的振荡器和 HSE 晶体振荡器被关闭。可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒，EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出的唤醒信号。

待机模式

待机模式可实现系统的最低功耗。该模式是在 CPU 深睡眠模式时关闭电压调节器。内部所有的 1.5V 部分的供电区域被断开。HSI 和 HSE 振荡器也都关闭，可以通过 WKUP 引脚的上升沿、NRST 引脚的外部复位、IWDG 复位唤醒或者看门狗定时器唤醒并复位。SRAM 和寄存器的内容将被丢失。

2.2.13 定时器和看门狗

产品包含 1 个高级定时器、1 个通用定时器、1 个基本定时器。以及 2 个看门狗定时器和 1 个系统嘀嗒定时器。

下表比较了高级控制定时器、通用定时器和基本定时器的功能：

表 2. 定时器功能比较

定时器类型	名称	计数器分辨率	计数器类型	预分频系数	DMA 请求生成	捕获/比较通道	互补输出
高级	TIM1	16 位	递增、递减/递增	1 ~ 65536 之间的任意整数	无	4	有
通用	TIM3	16 位	递增、递减/递增	1 ~ 65536 之间的任意整数	无	3	无

定时器类型	名称	计数器分辨率	计数器类型	预分频系数	DMA 请求生成	捕获/比较通道	互补输出
基本	TIM14	16 位	递增	1 ~ 65536 之间的任意整数	无	1	无

高级控制定时器 (TIM1)

高级控制定时器是由 16 位计数器、4 个捕获/比较通道以及三相互补 PWM 发生器组成，它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM(边缘或中心对齐模式)
- 单脉冲输出

配置为 16 位通用定时器时，它与 TIMx 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力 (0 ~ 100%)。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与通用的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

通用定时器 (TIMx)

产品中，内置了多达 1 个可同步运行的通用定时器 (TIM3)。定时器有一个 32 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

通用定时器_16 位

每个定时器有一个 16 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一通用定时器都能用于产生 PWM 输出。

这些定时器还能够处理增量编码器的信号，也能处理 1 ~ 4 个霍尔传感器的数字输出。每个定时器都 PWM 输出，或作为简单时间基准。

基本定时器

TIM14

该定时器基于一个 16 位自动重载递增计数器和一个 16 位预分频器。具有一个单通道，用于输入捕获/输出比较，PWM 或单脉冲模式输出。在调试模式下，其计数器可被冻结。

独立看门狗

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40KHz 的振荡器提供时钟；因为这个振荡器独立于主时钟，所以它可运行于停机和待机

模式。它可以用在系统发生问题时复位整个系统或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，看门狗被关闭。

窗口看门狗

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，看门狗被关闭。

系统时基定时器

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

2.2.14 通用异步收发器 (UART)

UART 接口支持 LIN 主从功能。兼容 ISO7816 智能卡模式。UART 接口支持输出数据长度可为 5 位、6 位、7 位、8 位、9 位均可配置。

2.2.15 I2C 总线

I2C 总线接口，能够工作于多主模式或从模式，支持标准和快速模式。

I2C 接口支持 7 位或 10 位寻址。

2.2.16 串行外设接口 (SPI)

SPI 接口，在从或主模式下，可配置成每帧 1 ~ 32 位。

2.2.17 通用输入输出接口 (GPIO)

每个 GPIO 引脚都可以由软件配置成输出 (推挽或开漏)、输入 (带或不带上拉或下拉) 或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。所有的 GPIO 引脚都有大电流通过能力。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

2.2.18 ADC(模拟/数字转换器)

产品内嵌 1 个 12 位的模拟/数字转换器 (ADC)，ADC 可用多达 8 个外部通道，可以实现单次、单周期和连续扫描转换。在扫描模式下，自动进行已选定的一组模拟输入上的采集值转换。

模拟看门狗功能允许非常精准地监视一路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由通用定时器 (TIMx) 和高级控制定时器产生的事件，可以分别内部级联到 ADC 的触发，应用程序能使 ADC 转换与时钟同步。

2.2.19 串行单线 SWD 调试口 (SW-DP)

内嵌 ARM 的两线串行调试端口 (SW-DP)。

ARM 的 SW-DP 接口允许通过串行线调试工具连接到单片机。

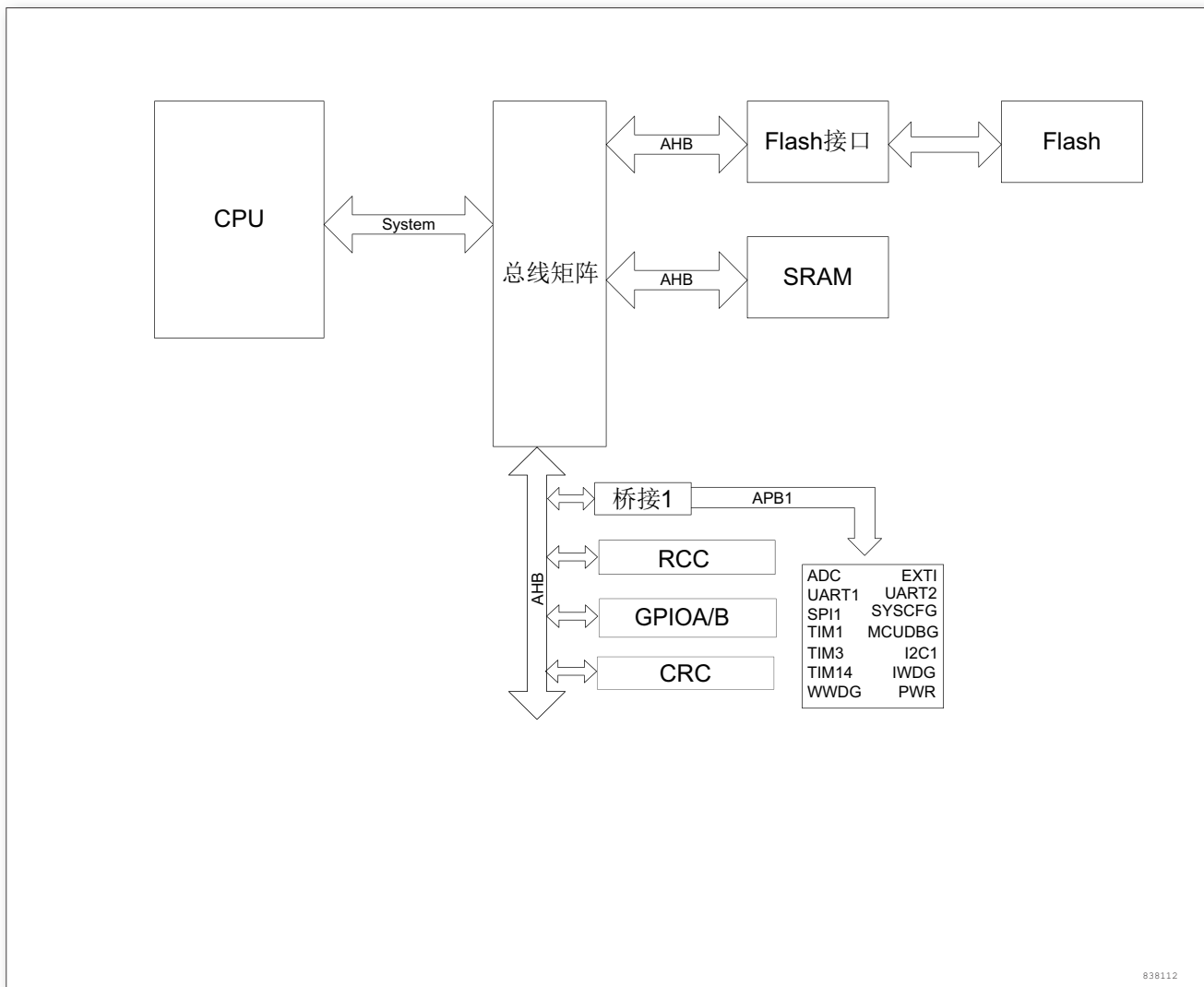


图 1. 模块框图

3

引脚定义

引脚定义

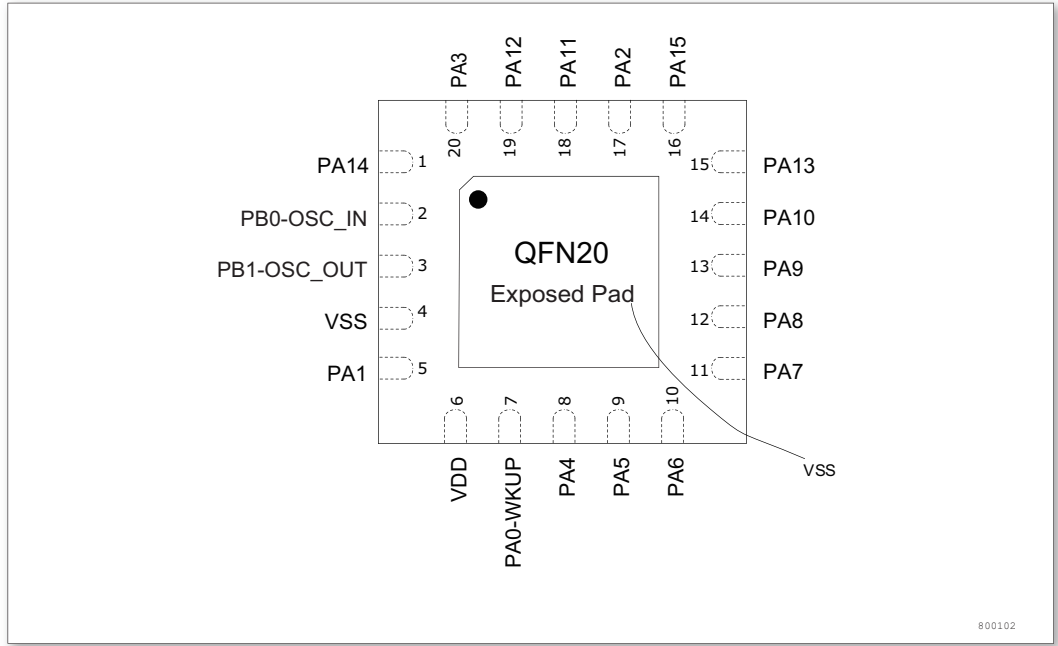


图 3. QFN20 引脚分布

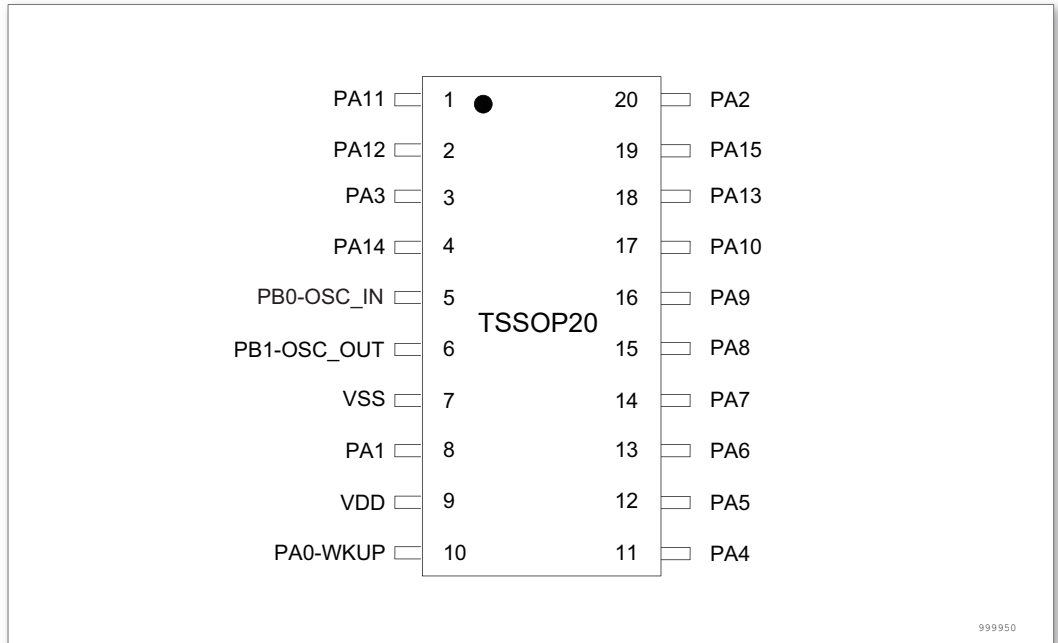


图 4. TSSOP20引脚分布

表 3. 引脚定义

引脚编码		引脚名称	类型 ⁽¹⁾	I/O 电平 ⁽²⁾	主功能	可选的复用功能	附加功能
QFN 20	TSSOP 20						
1	4	PA14	I/O	TC	PA14	SWDCLK/ UART1_TX	-
2	5	PB0 OSC_IN	I/O	TC	PB0	-	ADC1_VIN[1]
3	6	PB1 OSC_IN	I/O	TC	PB1	-	ADC1_VIN[0]
4	7	VSS	S	-	VSS	-	-
5	8	PA1	I/O	TC	PA1	UART2_TX/ I2C1_SDA	-
6	9	VDD	S	-	VDD	-	-
7	10	PA0	I/O	TC	PA0	SPI1_NSS/ UART1_RX/ TIM1_CH3N/I2C_SCL/ TIM3_CH3	-
8	11	PA4	I/O	TC	PA4	I2C1_SDA/ TIM1_BKIN	-
9	12	PA5	I/O	TC	PA5	SPI1_SCK/ I2C1_SCL	-
10	13	PA6	I/O	TC	PA6	SPI1_MOSI/ TIM1_CH1/ TIM1_CH1N/ TIM1_CH3	WKUP
11	14	PA7	I/O	TC	PA7	SPI1_MISO/ TIM1_CH1N/ TIM1_CH2N/ MCO/ TIM1_CH4	ADC1_VIN[7]
12	15	PA8	I/O	TC	PA8	SPI1_SCK/ TIM1_CH2/ TIM3_CH1	-
13	16	PA9	I/O	TC	PA9	SPI1_MOSI/ TIM1_CH2N/ TIM1_CH1/ TIM14_CH1	-

引脚编码		引脚名称	类型 ⁽¹⁾	I/O 电平 ⁽²⁾	主功能	可选的复用功能	附加功能
QFN 20	TSSOP 20						
14	17	PA10	I/O	TC	PA10	SPI1_MISO/ TIM1_CH3/ TIM1_CH2	-
15	18	PA13	I/O	TC	PA13	SWDIO/ UART1_RX/ UART2_RX/ I2C1_SCL	-
16	19	PA15	I/O	TC	PA15	SPI1_NSS/ TIM1_CH3N/ TIM3_CH3	ADC1_VIN[6]
17	20	PA2	I/O	TC	PA2	TIM1_CH2N/ TIM3_CH2	ADC1_VIN[5]
18	1	PA11	I/O	TC	PA11	TIM1_CH2/ TIM14_CH1/ TIM3_CH1	ADC1_VIN[4]
19	2	PA12	I/O	TC	PA12	UART1_TX	ADC1_VIN[3]
20	3	PA3	I/O	TC	PA3	UART1_RX	ADC1_VIN[2]

1. I = 输入, O = 输出, S = 电源, HiZ = 高阻
2. TC: 标准 IO, 输入信号不超过 VDD 电压

表 4. PA 端口功能复用 AF0-AF7

Pin Name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	SPI1_NSS	UART1_RX	TIM1_CH3N	I2C1_SCL	TIM3_CH3	-	-	-
PA1	-	-	UART2_TX	I2C1_SDA	-	-	-	-
PA2	-	-	TIM1_CH2N	-	TIM3_CH2	-	-	-
PA3	-	UART1_RX	-	-	-	-	-	-
PA4	-	-	TIM1_BKIN	I2C1_SDA	-	-	-	-
PA5	SPI1_SCK	-	-	I2C1_SCL	-	-	-	-
PA6	SPI1_MOSI	TIM1_CH1	TIM1_CH1N	-	TIM1_CH3	-	-	-
PA7	SPI1_MISO	TIM1_CH1N	TIM1_CH2N	MCO	TIM1_CH4	-	-	-
PA8	SPI1_SCK	TIM1_CH2	-	-	TIM3_CH1	-	-	-
PA9	SPI1_MOSI	TIM1_CH2N	TIM1_CH1	TIM14_CH1	-	-	-	-
PA10	SPI1_MISO	TIM1_CH3	TIM1_CH2	-	-	-	-	-
PA11	-	-	TIM1_CH2	TIM14_CH1	TIM3_CH1	-	-	-
PA12	-	UART1_TX	-	-	-	-	-	-
PA13	SWDIO	UART1_RX	UART2_RX	I2C1_SCL	-	-	-	-

Pin Name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA14	SWDCLK	UART1_TX	-	-	-	-	-	-
PA15	SPI1_NSS	TIM1_CH3N	-	-	TIM3_CH3	-	-	-

表 5. PB 端口功能复用 AF0-AF7

Pin Name	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	-	-	-	-	-	-	-	-
PB1	-	-	-	-	-	-	-	-

4

存储器映像

存储器映像

表 6. 存储器映像

总线	编址范围	大小	外设	备注
Flash	0x0000 0000 -0x0000 3FFF	16 KB	主闪存存储器, 系统存储器或是 SRAM 有赖于 BOOT 的配置	
	0x0000 4000 -0x07FF FFFF	~ 127 MB	Reserved	
	0x0800 0000 -0x0800 3FFF	16 KB	Main Flash memory	
	0x0800 0000 -0x1FFD FFFF	~ 383 MB	Reserved	
	0x1FFE 0000 -0x1FFE 01FF	0.5 KB	Reserved	
	0x1FFE 0200 -0x1FFE 0FFF	3 KB	Reserved	
	0x1FFE 1000 -0x1FFE 1BFF	3 KB	Reserved	
	0x1FFE 1C00 -0x1FFF F3FF	~ 256 MB	Reserved	
	0x1FFF F400 -0x1FFF F7FF	1 KB	System memory	
	0x1FFF F800 -0x1FFF F80F	16 B	Option bytes	
0x1FFF F810 -0x1FFF FFFF	~2 KB	Reserved		
SRAM	0x2000 0000 -0x2000 07FF	2 KB	SRAM	
	0x2000 0700 -0x2FFF FFFF	~ 255 MB	Reserved	
APB1	0x4000 0000 -0x4000 03FF	1 KB	Reserved	
	0x4000 0400 -0x4000 07FF	1 KB	TIM3	
	0x4000 0800 -0x4000 0BFF	8 KB	Reserved	
	0x4000 2800 -0x4000 2BFF	1 KB	Reserved	
	0x4000 2C00 -0x4000 2FFF	1 KB	WWDG	
	0x4000 3000 -0x4000 33FF	1 KB	IWDG	
	0x4000 3400 -0x4000 37FF	1 KB	Reserved	
	0x4000 3800 -0x4000 3BFF	1 KB	Reserved	
	0x4000 4000 -0x4000 43FF	1 KB	Reserved	
	0x4000 4400 -0x4000 47FF	1 KB	UART2	
	0x4000 4800 -0x4000 4BFF	3 KB	Reserved	
	0x4000 5400 -0x4000 57FF	1 KB	I2C1	
	0x4000 5800 -0x4000 6BFF	5 KB	Reserved	
	0x4000 6C00 -0x4000 6FFF	1 KB	Reserved	
	0x4000 7000 -0x4000 73FF	1 KB	PWR	

总线	编址范围	大小	外设	备注
	0x4000 7400 -0x4000 FFFF	35 KB	Reserved	
APB1	0x4001 0000 -0x4001 03FF	1 KB	SYSCFG	
	0x4001 0400 -0x4001 07FF	1 KB	EXTI	
	0x4001 0800 -0x4001 23FF	7 KB	Reserved	
	0x4001 2400 -0x4001 27FF	1 KB	ADC1	
	0x4001 2800 -0x4001 2BFF	1 KB	Reserved	
	0x4001 2C00 -0x4001 2FFF	1 KB	TIM1	
	0x4001 3000 -0x4001 33FF	1 KB	SPI1	
	0x4001 3400 -0x4001 37FF	1 KB	DBGMCU	
	0x4001 3800 -0x4001 3BFF	1 KB	UART1	
	0x4001 3C00 -0x4001 3FFF	1 KB	Reserved	
	0x4001 4000 -0x4001 43FF	1 KB	Reserved	
	0x4001 4400 -0x4001 47FF	1 KB	Reserved	
	0x4001 4800 -0x4001 4BFF	1 KB	Reserved	
	0x4001 4C00 -0x4001 7FFF	13 KB	Reserved	
	AHB	0x4002 0000 -0x4002 03FF	1 KB	Reserved
0x4002 0400 -0x4002 0FFF		3 KB	Reserved	
0x4002 1000 -0x4002 13FF		1 KB	RCC	
0x4002 1400 -0x4002 1FFF		3 KB	Reserved	
0x4002 2000 -0x4002 23FF		1 KB	Flash Interface	
0x4002 2400 -0x4002 2FFF		3 KB	Reserved	
0x4002 3000 -0x4002 33FF		1 KB	CRC	
0x4002 3400 -0x47FF FFFF		~ 127 MB	Reserved	
0x4800 0000 -0x4800 03FF		1 KB	GPIOA	
0x4800 0400 -0x4800 07FF		1 KB	GPIOB	
0x4800 0800 -0x4800 0BFF		1 KB	Reserved	
0x4800 0C00 -0x4800 0FFF		1 KB	Reserved	
0x4800 1000 -0x5FFF FFFF		~ 384 MB	Reserved	

5

电气特性

电气特性

5.1 测试条件

除非特别说明，所有电压都以 V_{SS} 为基准。

5.1.1 典型数值

除非特别说明，典型数据是基于 $T_A = 25^\circ\text{C}$ 和 $V_{DD} = 3.3\text{V}$ 。这些数据仅用于设计指导而未经测试。

5.1.2 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.3 负载电容

测量引脚参数时的负载条件示于下图。

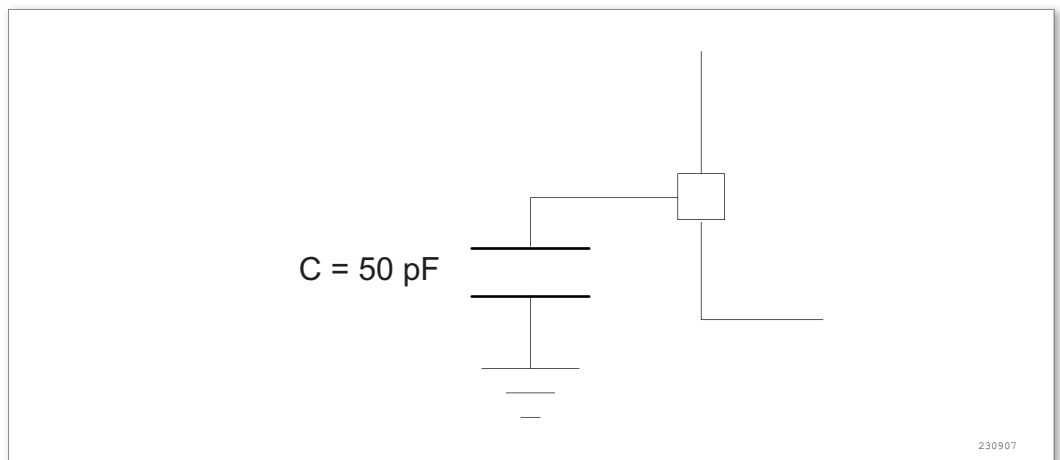


图 5. 引脚的负载条件

5.1.4 引脚输入电压

引脚上输入电压的测量方式示于下图。

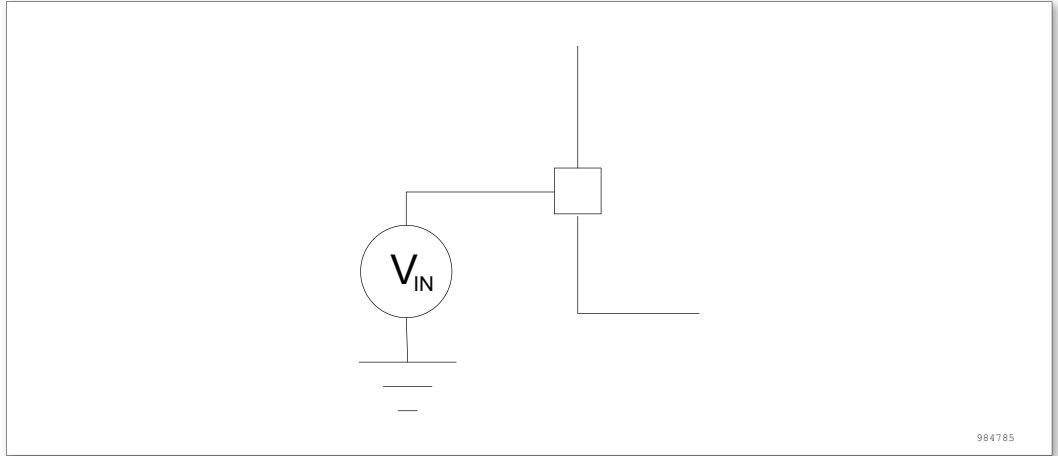


图 6. 引脚输入电压

5.1.5 供电方案

供电设计方案示于下图。

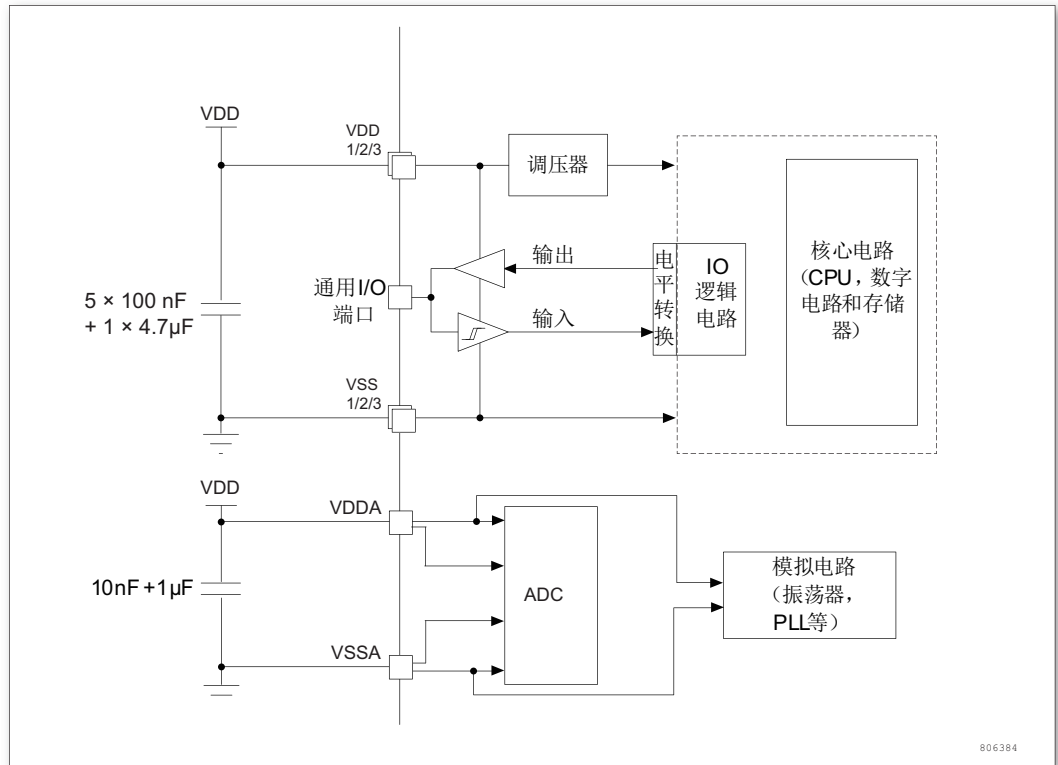


图 7. 供电方案

5.1.6 电流消耗测量

引脚上电流消耗的测量方式示于下图。

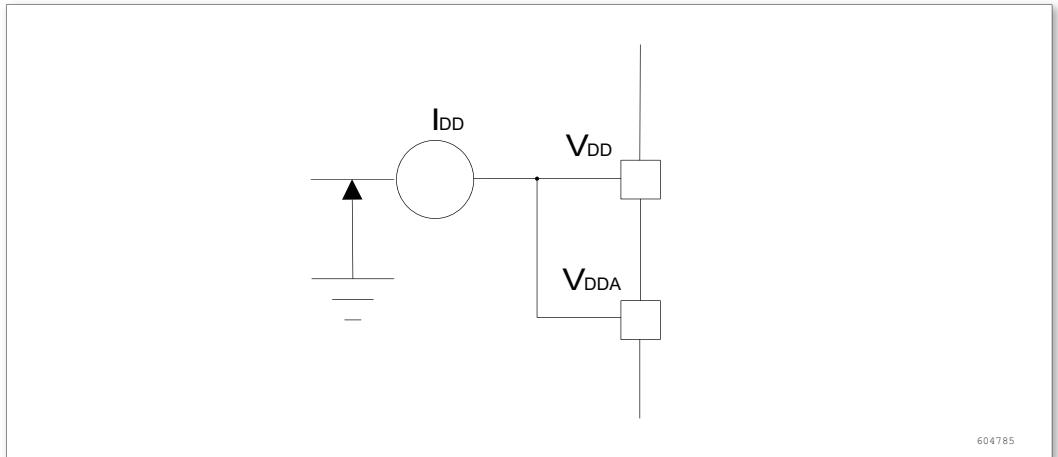


图 8. 电流消耗测量方案

5.2 绝对最大额定值

加在器件上的载荷如果超过“绝对组最大额定值”列表(表 7、表 8、表 9)中给出的值,可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷,并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 7. 电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压 ⁽¹⁾	-0.3	5.5	V
V_{IN}	在其他引脚上的输入电压 ⁽²⁾	$V_{SS} - 0.3$	$V_{DD} + 0.3$	

1. 所有的电源 (V_{DD}) 和地 (V_{SS}) 引脚必须始终连接到外部允许范围内的供电系统上。
2. 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息,请参见下表。

表 8. 电流特性

符号	描述	最大值	单位
I_{VDD}	经过 V_{DD} 电源线的总电流 (供应电流) ⁽¹⁾	60	mA
I_{VSS}	经过 V_{SS} 地线的总电流 (流出电流) ⁽¹⁾	-60	
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	25	
	任意 I/O 和控制引脚上的输出电流	-25	
$I_{INJ(PIN)}^{(2)(3)}$	nRST 引脚的注入电流	±5	
	HSE 的 OSC_IN 引脚的注入电流	±5	
	其他引脚的注入电流 ⁽⁴⁾	±5	
$\Sigma I_{INJ(PIN)}^{(4)}$	所有 I/O 和控制引脚上的总注入电流 ⁽⁴⁾	±25	

1. 所有的电源 (V_{DD}) 和地 (V_{SS}) 引脚必须始终连接到外部允许范围内的供电系统上。
2. $I_{INJ(PIN)}$ 绝对不可以超过它的极限,即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值,也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时,有一个正向注入电流;当 $V_{IN} < V_{SS}$ 时,有一个反向注入电流。

- 反向注入电流会干扰器件的模拟性能。
- 当几个 I/O 口同时有注入电流时， $\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件所有 I/O 端口上 $\Sigma I_{INJ(PIN)}$ 最大值的特性。

表 9. 温度特性

符号	描述	最大值	单位
T _{STG}	储存温度范围	- 45 ~ 150	°C
T _J	最大结温度		°C

5.3 工作条件

5.3.1 通用工作条件

表 10. 通用工作条件

符号	参数	条件	最小值	最大值	单位
f _{HCLK}	内部 AHB 时钟频率		0	48MHz	MHz
f _{PCLK1}	内部 APB1 时钟频率		0	48	
V _{DD}	标准工作电压		2.0	5.5	V
P _D	T _A =85°C ⁽¹⁾⁽³⁾	QFN20			°C
	T _A =105°C ⁽¹⁾⁽⁴⁾	TSSOP20			
T _A	T _A	最大功率耗散	-40	85	°C
		低功率耗散 ⁽²⁾	-40	105	
T _J	结温范围		-40	105	°C

- 如果 T_A 较低，只要 T_J 不超过 T_{Jmax}(参见节 5.1)，则允许更高的 P_D 数值。
- 在较低的功率耗散的状态下，只要 T_J 不超过 T_{Jmax}(参见节 5.1)，T_A 可以扩展到这个范围。

5.3.2 上电和掉电时的工作条件

下表中给出的参数是在一般的工作条件下测试得出。

表 11. 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t _{VDD}	V _{VDD} 上升速率	T _A = 25°C	1	∞	μS/V
	V _{VDD} 下降速率		500	∞	

5.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 10 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 12. 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程的电压检测器的电平选择	PLS[3: 0]=0000(上升沿)		1.8		V
		PLS[3: 0]=0000(下降沿)		1.7		V
		PLS[3: 0]=0001(上升沿)		2.1		V
		PLS[3: 0]=0001(下降沿)		2.0		V
		PLS[3: 0]=0010(上升沿)		2.4		V
		PLS[3: 0]=0010(下降沿)		2.3		V
		PLS[3: 0]=0011(上升沿)		2.7		V
		PLS[3: 0]=0011(下降沿)		2.6		V
		PLS[3: 0]=0100(上升沿)		3.0		V
		PLS[3: 0]=0100(下降沿)		2.9		V
		PLS[3: 0]=0101(上升沿)		3.3		V
		PLS[3: 0]=0101(下降沿)		3.2		V
		PLS[3: 0]=0110(上升沿)		3.6		V
		PLS[3: 0]=0110(下降沿)		3.5		V
		PLS[3: 0]=0111(上升沿)		3.9		V
		PLS[3: 0]=0111(下降沿)		3.8		V
		PLS[3: 0]=1000(上升沿)		4.2		V
		PLS[3: 0]=1000(下降沿)		4.1		V
		PLS[3: 0]=1001(上升沿)		4.5		V
		PLS[3: 0]=1001(下降沿)		4.4		V
PLS[3: 0]=1010(上升沿)		4.8		V		
PLS[3: 0]=1010(下降沿)		4.7		V		
V _{POR/PDR}	上电/掉电复位阈值	下降沿		1.65		V
		上升沿		1.65		V
V _{PVDhyst}	PVD 迟滞			100		mV
T _{RSTTEMPO}	复位持续时间			2.5		ms

1. 产品的特性由设计保证至最小的数值 V_{POR/PDR}。
2. 由设计保证，不在生产中测试。

注：复位持续时间的测量方法为从上电 (POR 复位) 到用户应用代码读取第一条指令的时刻。

5.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—V_{DD} 或 V_{SS}(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率 (0 ~ 24 MHz 时为 0 个等待周期, 24 ~ 48 MHz 时为 1 个等待周期)。
- 指令预取功能开启。当开启外设时: f_{PCLK1} = f_{HCLK}。

注：指令预取功能必须在设置时钟和总线分频之前设置。

表 13. 停机和待机模式下的典型和最大电流消耗 (2)

符号	参数	条件	最大值 (1)	单位
			T _A =25°C	
I _{DD}	待机模式下的供应电流	PWR->CR[0]=0	90.5	μA
		PWR->CR[0]=1	1.8	
	待机模式下的供应电流	LSI、IWDG 处于关闭状态	0.3	

1. 最大值是在供电电压为 3.3V, T_A = 25°C 时测试得到。
2. 由综合评估得出，不在生产中测试。IO 状态为模拟输入。

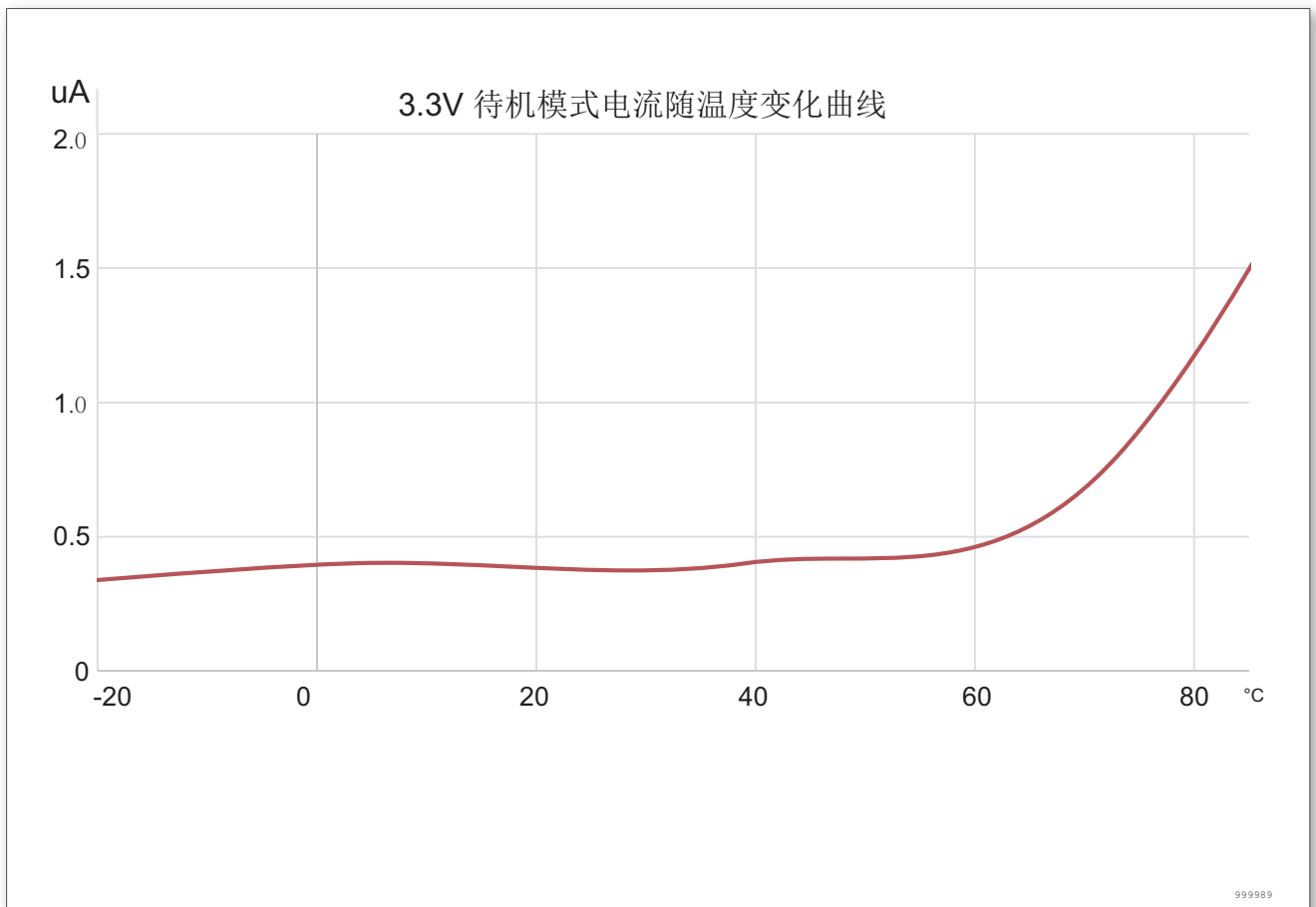


图 9. 待机模式下的典型电流消耗在 V_{DD} = 3.3V 时与温度的对比

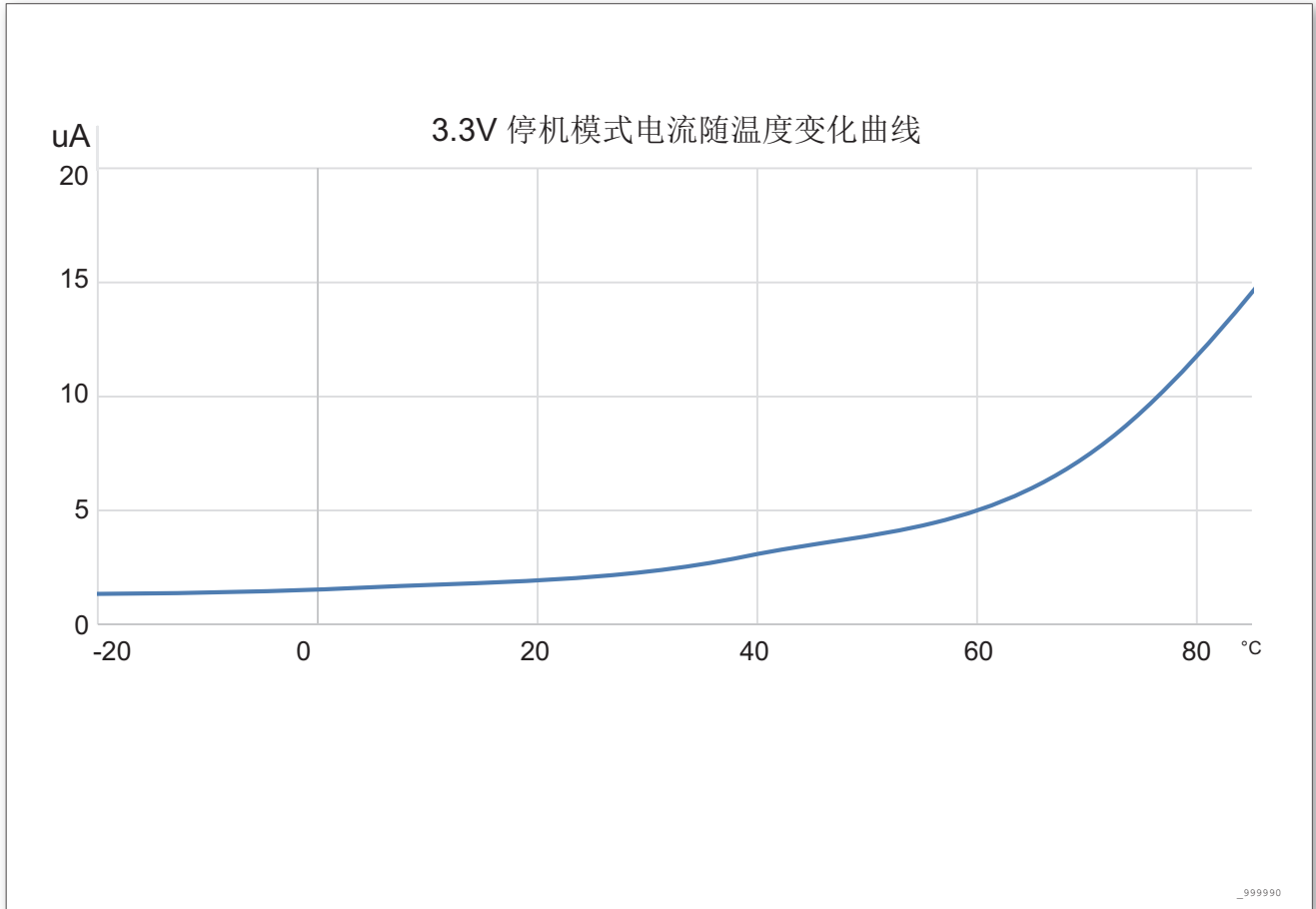


图 10. 待机模式下的典型电流消耗在 $V_{DD} = 3.3V$ 时与温度的对比

典型的电流消耗

MCU 处于下述条件下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率 (0 ~ 24 MHz 时为 0 个等待周期, 24 ~ 48 MHz 时为 1 个等待周期)。
- 环境温度和 V_{DD} 供电电压条件列于表 10。
- 指令预取功能开启。当开启外设时： $f_{PCLK1} = f_{HCLK}$ 。

注：指令预取功能必须在设置时钟和总线分频之前设置。

表 14. 运行模式下的最大电流消耗，数据处理代码从内部闪存中运行

符号	参数	条件	$f_{HCLK}^{(4)}$	典型值 ⁽¹⁾⁽²⁾⁽³⁾		单位
				使能所有外设 ⁽⁵⁾	关闭所有外设	
I_{DD}	运行模式下的供应电流	内部时钟	48MHz	6.84	3.99	mA
		内部时钟	24MHz	4.18	2.45	
		内部时钟	8MHz	1.83	1.35	
		内部时钟	4MHz ⁽²⁾	1.29	1.01	
		内部时钟	2MHz ⁽²⁾	0.98	0.84	

符号	参数	条件	f _{HCLK} ⁽⁴⁾	典型值 ⁽¹⁾⁽²⁾⁽³⁾		单位
				使能所有外设 ⁽⁵⁾	关闭所有外设	
I _{DD}	运行模式下的供应电流	内部时钟	1MHz ⁽²⁾	0.82	0.76	mA
		内部时钟	500KHz ⁽²⁾	0.75	0.71	
		内部时钟	125KHz ⁽²⁾	0.69	0.68	

1. 典型值是在 T_A=25°C、V_{DD}=3.3V 时测试得到。
2. HCLK 频率小于 8MHz 时，系统时钟为 HSI 分频得到

表 15. 运行模式高低温下的典型电流消耗，数据处理代码从内部 Flash 中运行

符号	参数	条件	f _{HCLK}	典型值 V _{DD} =3.3V 外设时钟全开			典型值 V _{DD} =3.3V 外设时钟全关			单位
				-40°C	25°C	85°C	-40°C	25°C	85°C	
I _{DD}	供电电流处于运行模式，从 FLASH 执行代码	HSI 做系统时钟，HCLK 分频至指定频率	48MHz	6.64	6.79	6.94	3.86	3.96	4.07	mA
			24MHz	4.05	4.15	4.26	2.36	2.43	2.52	
			8MHz	1.69	1.79	1.86	1.23	1.33	1.38	
			4MHz	1.2	1.26	1.36	0.92	0.99	1.06	
			2MHz	0.91	0.96	1.03	0.77	0.82	0.89	
			1MHz	0.76	0.81	0.87	0.69	0.74	0.8	
			500KHz	0.69	0.73	0.79	0.66	0.7	0.75	
			125KHz	0.64	0.68	0.73	0.63	0.67	0.72	

表 16. 睡眠模式下的最大电流消耗，代码运行在 flash 中

符号	参数	条件	f _{HCLK} ⁽⁴⁾	典型值 ⁽¹⁾⁽²⁾⁽³⁾		单位
				使能所有外设 ⁽⁵⁾	关闭所有外设	
I _{DD}	睡眠模式下的供应电流	内部时钟	48MHz	4.63	1.76	mA
		内部时钟	24MHz	2.97	1.23	
		内部时钟	8MHz	1.33	0.85	
		内部时钟	4MHz ⁽²⁾	1.05	0.76	
		内部时钟	2MHz ⁽²⁾	0.86	0.72	
		内部时钟	1MHz ⁽²⁾	0.76	0.69	
		内部时钟	500KHz ⁽²⁾	0.72	0.68	
		内部时钟	125KHz ⁽²⁾	0.68	0.67	

1. 典型值是在 T_A=25°C、V_{DD}=3.3V 时测试得到。
2. HCLK 频率小于 8MHz 时，系统时钟为 HSI 分频得到

表 17. 睡眠模式高低温下的典型电流消耗，数据处理代码从内部 Flash 中运行

符号	参数	条件	f _{HCLK}	典型值 V _{DD} =3.3V 外设时钟全开			典型值 V _{DD} =3.3V 外设时钟全关			单位
				-40°C	25°C	85°C	-40°C	25°C	85°C	
I _{DD}	供电电流处于运行模式，从 FLASH 执行代码	HSI 做系统时钟，HCLK 分频至指定频率	48MHz	4.5	4.6	4.71	1.68	1.74	1.81	mA
			24MHz	2.87	2.95	3.03	1.16	1.22	1.27	
			8MHz	1.26	1.31	1.37	0.79	0.84	0.89	
			4MHz	0.99	1.04	1.09	0.7	0.75	0.8	
			2MHz	0.8	0.85	0.9	0.66	0.7	0.76	
			1MHz	0.71	0.75	0.8	0.64	0.68	0.73	
			500KHz	0.66	0.71	0.76	0.63	0.67	0.72	
			125KHz	0.63	0.67	0.72	0.62	0.66	0.71	

1. 典型值是在 T_A=25°C、V_{DD}=3.3V 时测试得到。
2. HCLK 频率小于 8MHz 时，系统时钟为 HSI 分频得到

5.3.5 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 18. 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{HSE_ext}	用户外部时钟频率 ⁽¹⁾			8	32	MHz
V _{HSEH}	OSC_IN 输入引脚高电平电压		0.7V _{DD}		V _{DD}	V
V _{HSEL}	OSC_IN 输入引脚低电平电压		V _{SS}		0.3V _{DD}	V
t _{w(HSE)}	OSC_IN 高或低的时间 ⁽¹⁾		15			ns
C _{in(HSE)}	OSC_IN 输入容抗 ⁽¹⁾			5		pF
DuCy _(HSE)	占空比			50		%

1. 由设计保证，不在生产中测试。

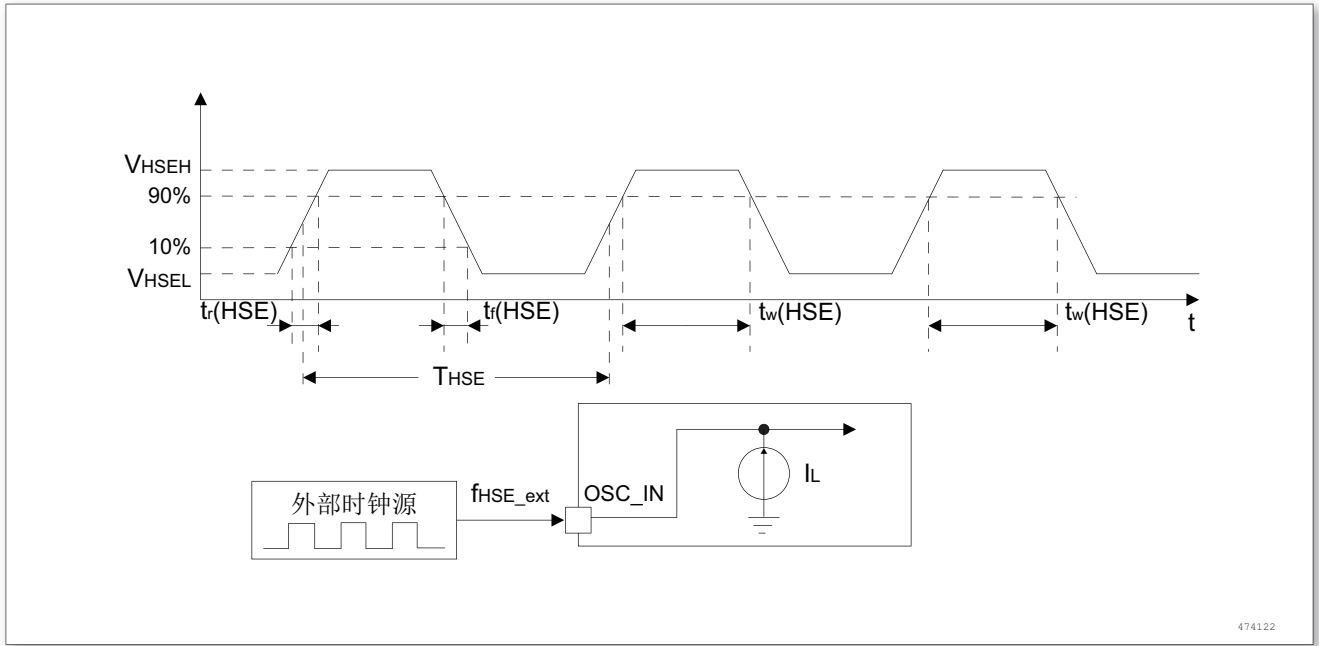


图 11. 外部高速时钟源的交流时序图

使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟 (HSE) 可以使用一个 2 ~ 24MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数 (频率、封装、精度等)，请咨询相应的生产厂商。

表 19. HSE 2 ~ 24MHz 振荡器特性 (1)(2)

符号	参数	条件	最小值	典型值	最大值	单位
f _{OSC_IN}	振荡器频率	2.0V < V _{DD} < 3.6V	2	8	12	MHz
		3.0V < V _{DD} < 5.5V	8	16	24	
R _F	反馈电阻 (4)			510		kΩ
ESR	支持晶体串行阻抗 (C _{L1} C _{L2} (3) 为 16pF)	f _{OSC_IN} = 24M V _{DD} = 3.0V			60	Ω
		f _{OSC_IN} = 12M V _{DD} = 2.0V			150	
I ₂	HSE 驱动电流	f _{OSC_IN} = 24M V _{DD} = 2.0V ESR = 30Ω C _{L1} C _{L2} (3) 为 20pF		1.5		mA
g _m	振荡器的跨导	启动		9		mA/V
t _{SU(HSE)} (5)	启动时间	V _{DD} 是稳定的		3		ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由综合评估得出，不在生产中测试。

3. 对于 C_{L1} 和 C_{L2} ，建议使用高质量的、为高频应用而设计的 (典型值为) $5\text{pF} \sim 25\text{pF}$ 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时，PCB 和 MCU 引脚的容抗应该考虑在内 (可以粗略地把引脚与 PCB 板的电容按 10pF 估计)。
4. 相对较低的 R_F 电阻值，能够可以为避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生的泄漏和偏置条件都发生了变化。但是，如果 MCU 是应用在恶劣的潮湿条件时，设计时需要把这个参数考虑进去。
5. $t_{\text{SU(HSE)}}$ 是启动时间，是从软件使能 HSE 开始测量，直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

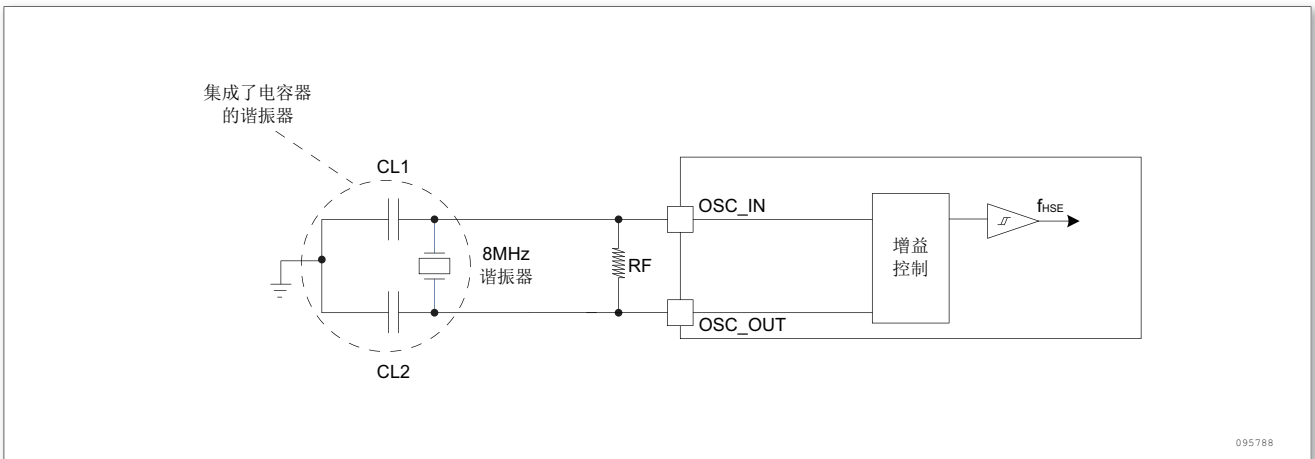


图 12. 使用 8MHz 晶体的典型应用

5.3.6 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

高速内部 (HSI) 振荡器

表 20. HSI 振荡器特性 (1)(2)

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率			48		MHz
ACC_{HSI}	HSI 振荡器的精度	$T_A = 25$	-1		1	%
$t_{\text{SU(HSI)}}$	HSI 振荡器启动时间			12	16	μs
$I_{\text{DD(HSI)}}$	HSI 振荡器功耗			328		μA

1. $V_{\text{DD}} = 3.3\text{V}$ ，除非特别说明。
2. 由设计保证，不在生产中测试。

低速内部 (LSI) 振荡器

表 21. LSI 振荡器特性 (1)

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{LSI}}^{(2)}$	频率			40		KHz
$t_{\text{SU(LSI)}}^{(2)}$	LSI 振荡器启动时间				85	μs

符号	参数	条件	最小值	典型值	最大值	单位
$I_{DD(LSI)}^{(3)}$	LSI 振荡器功耗			0.75	1.4	μA

1. $V_{DD} = 3.3V$ 除非特别说明。
2. 由综合评估得出，不在生产中测试。
3. 由设计保证，不在生产中测试。

从低功耗模式唤醒的时间

下表列出的唤醒时间是在内部时钟 HSI 的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或待机模式：时钟源是振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合通用工作条件测量得到。

表 22. 低功耗模式的唤醒时间

符号	参数	条件	最大值	单位
$t_{WUSLEEP}^{(1)}$	从睡眠模式唤醒	HSI 为系统时钟	0.8	μs
$t_{WUSTOP}^{(1)}$	从停机模式唤醒 (调压器处于运行状态)	HSI 为系统时钟	9.8	μs
$t_{WUSTOP}^{(1)}$	从停机模式唤醒 (调压器处于低功耗状态)	HSI 为系统时钟	12.6	μs
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	PWR->CR[15:14]=0x00	260	μs
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	PWR->CR[15:14]=0x01	220	μs
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	PWR->CR[15:14]=0x02	170	μs
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	PWR->CR[15:14]=0x03	140	μs

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.7 存储器特性

闪存存储器

表 23. 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	8 位的编程时间		6		7.5	μs
t_{ERASE}	页 (512K 字节) 擦除时间		4		5	ms
t_{ME}	整片擦除时间		20		40	ms
I_{DD}	供电电流	读模式, $f_{HCLK} =$ 40MHz			4.5	mA
		写模式			3.5	mA
		擦除模式			2	mA
V_{prog}	编程电压			1.5		V

表 24. 闪存存储器寿命和数据保存期限⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
NEND	寿命 (擦写次数)			20		千次
t _{RET}	数据保存期限	T _A = 25°C	100			年

1. 由综合评估得出，不在生产中测试。

5.3.8 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

设计可靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。

因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏 (控制寄存器等……)

认证前的试验

很多常见的失效 (意外的复位和程序计数器被破坏)，可以通过人工地在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误。

5.3.9 绝对最大值 (电气敏感性)

基于三个不同的测试 (ESD, LU)，使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电 (ESD)

静电放电 (一个正的脉冲然后间隔一秒钟后一个负的脉冲) 施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关 (3 片 x (n + 1) 供电引脚)。这个测试符合 JEDEC JS-001-2017/JS-002-2018 标准。

静态栓锁

为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 EIA/JESD78E 集成电路栓锁标准。

表 25. MCU ESD 特性

符号	参数	条件	最大值	单位
$V_{ESD(HBM)}$	静电放电电压 (人体模型)	$T_A = 25^{\circ}C$, 符合 JEDEC JS-001-2017	± 8000	V
$V_{ESD(CDM)}$	静电放电电压 (充电设备模型)	$T_A = 25^{\circ}C$, 符合 JEDEC JS-002-2018	± 2000	
I_{LU}	静态栓锁类 (Latch-up current)	$T_A = 25^{\circ}C$, 符合 JESD78E	± 100	mA

1. 由综合评估得出, 不在生产中测试。

5.3.10 I/O 端口特性

通用输入/输出特性

除非特别说明, 下表列出的参数是按照表 7 的条件测量得到。所有的 I/O 端口都是兼容 CMOS。

表 26. I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	3.3V CMOS 端口	-0.3		0.8	V
		5.0V CMOS 端口	-0.3		$0.3 \times V_{DD}$	
V_{IH}	输入高电平电压	3.3V CMOS 端口	2		5.5	V
		5.0V CMOS 端口	$0.7 \times V_{DD}$		5.5	
V_{hy}	I/O 脚施密特触发器电压迟滞 ⁽¹⁾	3.3V	$0.1 \times V_{DD}$			mV
		5.0V	$0.1 \times V_{DD}$			
I_{lkg}	输入漏电流 ⁽²⁾	3.3V			1	μA
		5.0V			1	
R_{PU}	弱上拉等效电阻 ⁽³⁾	3.3V $V_{IN}=V_{SS}$	22		50	k Ω
		5.0V $V_{IN}=V_{SS}$	22		50	
R_{PD}	弱下拉等效电阻 ⁽³⁾	3.3V $V_{IN}=V_{SS}$	20		100	k Ω
		5.0V $V_{IN}=V_{SS}$	20		100	
C_{IO}	I/O 引脚的电容	3.3V			10	pF
		5.0V			10	

1. 施密特触发器开关电平的迟滞电压。由综合评估得出, 不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌, 则漏电流可能高于最大值。
3. 上拉和下拉电阻是 MOS 电阻。

输出驱动电流

GPIO(通用输入/输出端口) 可以吸收或输出多达 $\pm 20mA$ 电流。

在用户应用中, I/O 脚的数目必须保证驱动电流不能超过5.2节给出的绝对最大额定值:

- 所有 I/O 端口从 V_{DD} 上获取的电流总和, 加上 MCU 在 V_{DD} 上获取的最大运行电流, 不能超过绝对最大额定值 I_{VDD} 。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和, 加上 MCU 在 V_{SS} 上流出的最大运行电

流，不能超过绝对最大额定值 I_{VSS} 。

输出电压

表 27. 输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	输出低电平，当 8 个引脚同时吸收电流	CMOS 端口, $I_{IO} = +8mA$ $2.7V < V_{DD} < 3.6V$ $V_{DD} - 0.4$	0.4		V
$V_{OH}^{(2)}$	输出高电平，当 8 个引脚同时输出电流				
$V_{OL}^{(1)(3)}$	输出低电平，当 8 个引脚同时吸收电流	$I_{IO} = +20mA$ $2.7V < V_{DD} < 3.6V$		$0.3 \times V_{DD}$	
$V_{OH}^{(2)(3)}$	输出高电平，当 8 个引脚同时输出电流		$0.7 \times V_{DD}$		
$V_{OL}^{(2)(3)}$	输出低电平，当 8 个引脚同时吸收电流	$I_{IO} = +6mA$ $2V < V_{DD} < 2.7V$		0.4	
$V_{OH}^{(2)(3)}$	输出高电平，当 8 个引脚同时输出电流	$I_{IO} = +6mA$ $2V < V_{DD} < 2.7V$	$V_{DD} - 0.4$		

1. 芯片吸收的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和 (所有 I/O 脚和控制脚) 不能超过 I_{VSS} 。
2. 芯片输出的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和 (所有 I/O 脚和控制脚) 不能超过 I_{VDD} 。
3. 由综合评估得出，不在生产中测试。

输入输出交流特性

输入输出交流特性的定义和数值分别在图 13和表 28给出。

除非特别说明，表 28列出的参数是使用环境温度和供电电压符合表 7的条件测量得到。

表 28. 输入输出交流特性 ⁽¹⁾⁽²⁾

MODEx[1: 0] 的配置	符号	参数	条件	典型值	单位
11	$f_{maxr(I/O)out}$	最大频率	$C_L = 50pF,$ $V_{DD} = 3.3V$	30	MHz
	$t_{r(I/O)out}$	输出下降时间	$C_L = 50pF,$ $V_{DD} = 3.3V$	6.4	ns
	$t_{r(I/O)out}$	输出上升时间	$C_L = 50pF,$ $V_{DD} = 3.3V$	8.7	ns
10	$f_{maxr(I/O)out}$	最大频率	$C_L = 50pF,$ $V_{DD} = 3.3V$	50	MHz
	$t_{r(I/O)out}$	输出下降时间	$C_L = 50pF,$ $V_{DD} = 3.3V$	4.8	ns

MODEx[1: 0] 的配置	符号	参数	条件	典型值	单位
10	$t_{r(I/O)out}$	输出上升时间	$C_L=50pF,$ $V_{DD}=3.3V$	4.8	ns
01	$f_{maxr(I/O)out}$	最大频率	$C_L=50pF,$ $V_{DD}=3.3V$	50	MHz
	$t_{f(I/O)out}$	输出下降时间	$C_L=50pF,$ $V_{DD}=3.3V$	4.3	ns
	$t_{r(I/O)out}$	输出上升时间	$C_L=50pF,$ $V_{DD}=3.3V$	4.7	ns

1. I/O 端口的速度可以通过 MODEx[1: 0] 配置。参见本芯片参考手册中有关 GPIO 端口配置寄存器的说明。
2. 由设计保证，不在生产中测试。

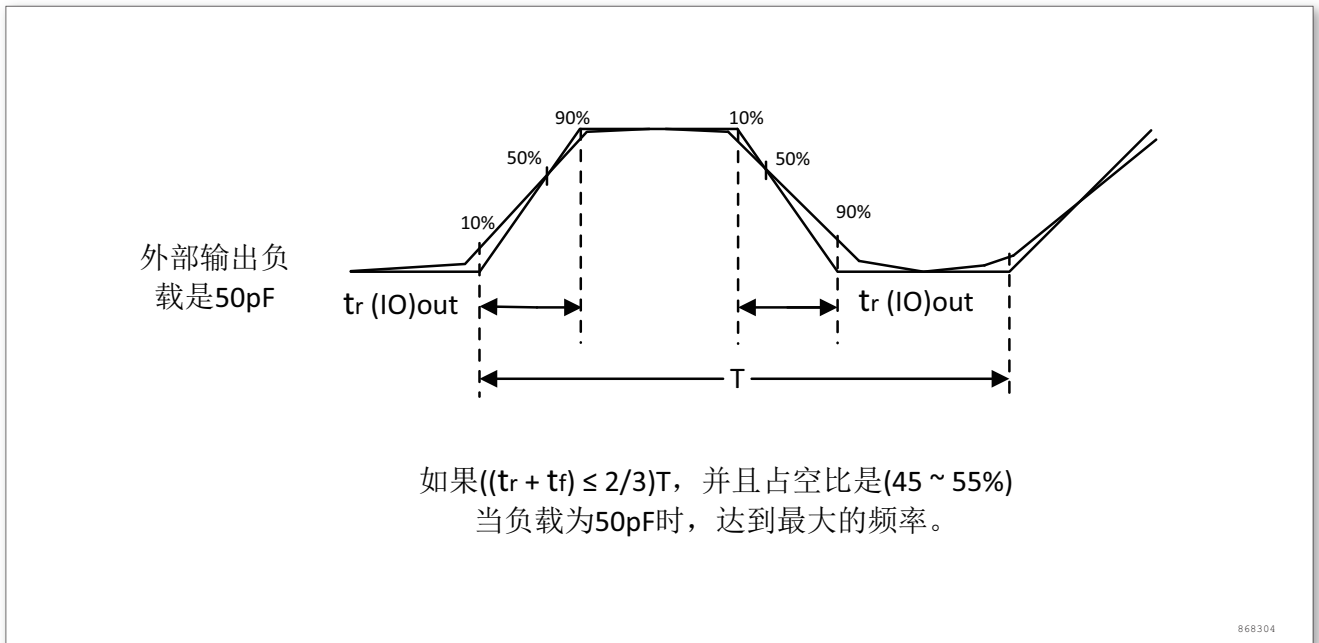


图 13. 输入输出交流特性定义

5.3.11 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻， R_{PU} 。

表 29. NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST 输入低电平电压		-0.3		0.8	V
$V_{IH(NRST)}^{(1)}$	NRST 输入高电平电压		2		5.5	V
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞		$0.1 \times V_{DD}$			V
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN} = V_{SS}$	22		50	kΩ

符号	参数	条件	最小值	典型值	最大值	单位
$V_{F(NRST)}^{(1)}$	NRST 输入滤波脉冲		4.0			μs
$V_{NF(NRST)}^{(1)}$	NRST 输入非滤波脉冲				1.0	μs

1. 由设计保证，不在生产中测试。
2. 上拉电阻是 MOS 电阻。

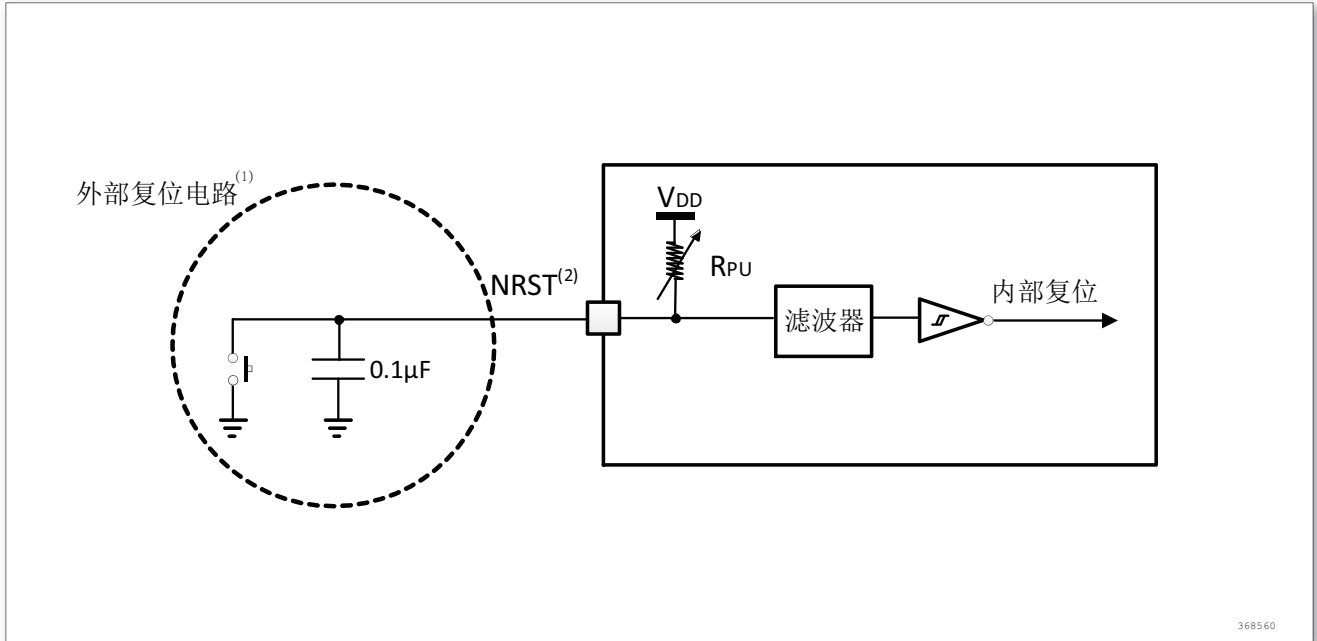


图 14. 建议的 NRST 引脚保护

1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于表 29 中列出的最大 $V_{IL(NRST)}$ 以下，否则 MCU 不能得到复位。

5.3.12 TIM 定时器特性

下表列出的参数由设计保证。

有关输入输出复用功能引脚 (输出比较、输入捕获、外部时钟、PWM 输出) 的特性详情，参见小节 5.3.10。

表 30. TIMx⁽¹⁾ 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间		1		$t_{TIMxCLK}$
		$f_{TIMxCLK}=48\text{MHz}$	20.8		ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK}=48\text{MHz}$	0	24	
Res_{TIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时，16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}=48\text{MHz}$	0.0208	1365	μs

符号	参数	条件	最小值	最大值	单位
t _{MAX_COUNT}	最大可能的计数			65536	t _{TIMxCLK}
		f _{TIMxCLK} =48MHz		0.01365	S

1. TIMx 是一个通用的名称。

5.3.13 通信接口

I2C

除非特别说明，表 31 列出的参数是使用环境温度，f_{PCLK1} 频率和 V_{DD} 供电电压符合表 10 的条件测量得到。

I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是‘真’的引脚，当配置为开漏输出时，在引出脚和 V_{DD} 之间的 PMOS 管被关闭，但仍然存在。

I2C 接口特性列于表 31，有关输入输出复用功能引脚 (SDA 和 SCL) 的特性详情，参见小节 5.3.10。

表 31. I2C 接口特性

符号	参数	标准 I2C ⁽¹⁾		快速 I2C ⁽¹⁾⁽²⁾		单位
		最小值	最大值	最小值	最大值	
t _{w(SCLL)}	SCL 时钟低时间	4.7		1.2		μs
t _{w(SCLH)}	SCL 时钟高时间	4.0		0.5		μs
t _{su(SDA)}	SDA 建立时间	2*t _{PCLK}		2*t _{PCLK}		ns
t _{h(SDA)}	SDA 数据保持时间	0 ⁽³⁾		0 ⁽⁴⁾	875 ⁽³⁾	ns
t _{r(SDA)} t _{r(SDL)}	SDA 和 SCL 上升时间		1000		300	ns
t _{f(SDA)} t _{f(SDL)}	SDA 和 SCL 下降时间		300		300	ns
t _{h(STA)}	开始条件保持时间	4.0		0.5		μs
t _{su(STA)}	重复的开始条件建立时间	4.7		0.5		μs
t _{su(STO)}	停止条件建立时间	4.0		0.5		μs
t _{w(STO:STA)}	停止条件至开始条件的时 间 (总线空闲)	4.7		1.2		μs
C _b	每条总线的容性负载		400		400	pF

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I2C 的最大频率，f_{PCLK1} 必须大于 3MHz。为达到快速模式 I2C 的最大频率，f_{PCLK1} 必须大于 12MHz。
3. 如果不要求拉长 SCL 信号的低电平时间，则只需满足开始条件的最大保持时间。
4. 为了跨越 SCL 下降沿未定义的区域，在 MCU 内部必须保证 SDA 信号上至少 300ns 的保持时间。

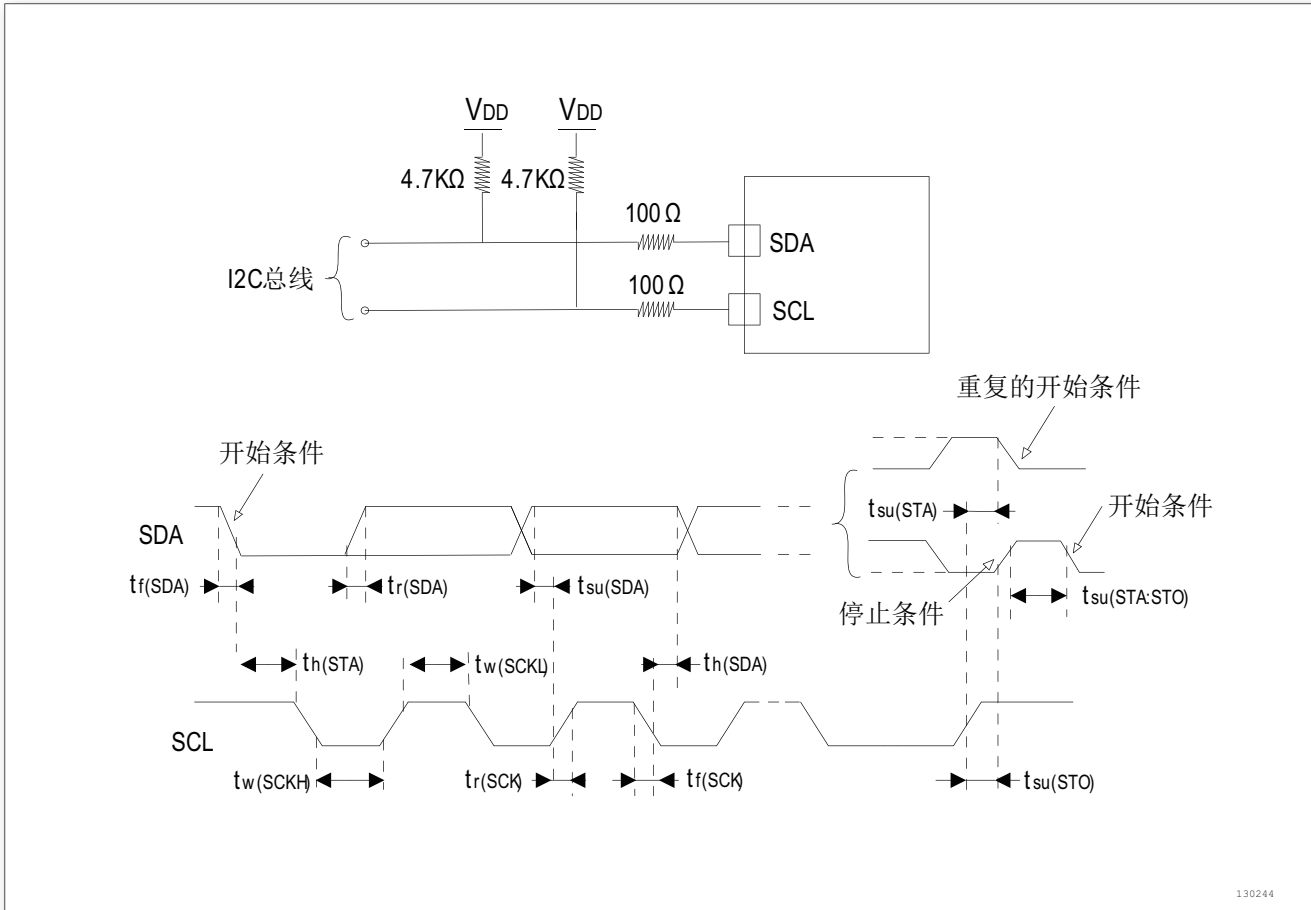


图 15. I2C 总线交流波形和测量电路 (1)

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

SPI 接口特性

除非特别说明，表 32 列出的参数是使用环境温度，f_{PCLKx} 频率和 V_{DD} 供电电压符合表 10 的条件测量得到。

有关输入输出复用功能引脚 (NSS、SCK、MOSI、MISO) 的特性详情，参见小节 5.3.10。

表 32. SPI 特性 (1)

符号	参数	条件	最小值	最大值	单位
f _{SCK} 1/t _{c(SCK)}	SPI 时钟频率	主模式		24	MHz
f _{SCK} 1/t _{c(SCK)}	SPI 时钟频率	从模式		12	MHz
t _{r(SCK)}	SPI 时钟上升和下降时间	负载电容: C= 15pF		6	ns
t _{f(SCK)}	SPI 时钟上升和下降时间	负载电容: C= 15pF		6	ns
t _{su(NSS)} ⁽²⁾	NSS 建立时间	从模式	1T _{PCLK}		ns
t _{h(NSS)} ⁽²⁾	NSS 保持时间	从模式	2T _{PCLK}		ns
t _{w(SCKH)} ⁽²⁾	SCK 高的时间	主模式, f _{PCLK} = 48MHz, 预分频系数 = 2	t _{PCLK-} t _{r(SCK/2)-} t _{f(SCK/2)}	t _{PCLK+} t _{r(SCK/2)+} t _{f(SCK/2)}	ns

符号	参数	条件	最小值	最大值	单位
$t_{w(SCKL)}^{(2)}$	SCK 低的时间	主模式, $f_{PCLK} = 48MHz$, 预分频系数 = 2	t_{PCLK-} $t_{r(SCK/2)-}$ $t_{f(SCK/2)}$	t_{PCLK+} $t_{r(SCK/2)+}$ $t_{f(SCK/2)}$	ns
$t_{su(MI)}^{(2)}$	数据输入建立时间	主模式	2		ns
$t_{su(SI)}^{(2)}$		从模式	1		ns
$t_{h(MI)}^{(2)}$	数据输入保持时间	主模式	5		ns
$t_{h(SI)}^{(2)}$		从模式	1		ns
$t_{a(SO)}^{(2)(3)}$	数据输出访问时间	从模式, $f_{PCLK} = 48MHz$, 预分频系数 = 4	1	$2T_{PCLK}$	ns
$t_{dis(SO)}^{(2)}$	数据输出禁止时间	从模式	1	$1T_{PCLK}$	
$t_{v(SO)}^{(2)(1)}$	数据输出有效时间	从模式 (使能边沿之后)		20	
$t_{v(MO)}^{(2)(1)}$	数据输出有效时间	主模式 (使能边沿之后)		20	
$t_{h(SO)}^{(2)}$	数据输出保持时间	从模式 (使能边沿之后)	1		
$t_{h(MO)}^{(2)}$		主模式 (使能边沿之后)	1		

1. 由综合评估得出, 不在生产中测试。
2. 最小值表示驱动输出的最小时间, 最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间, 最大值表示把数据线置于高阻态的最大时间。

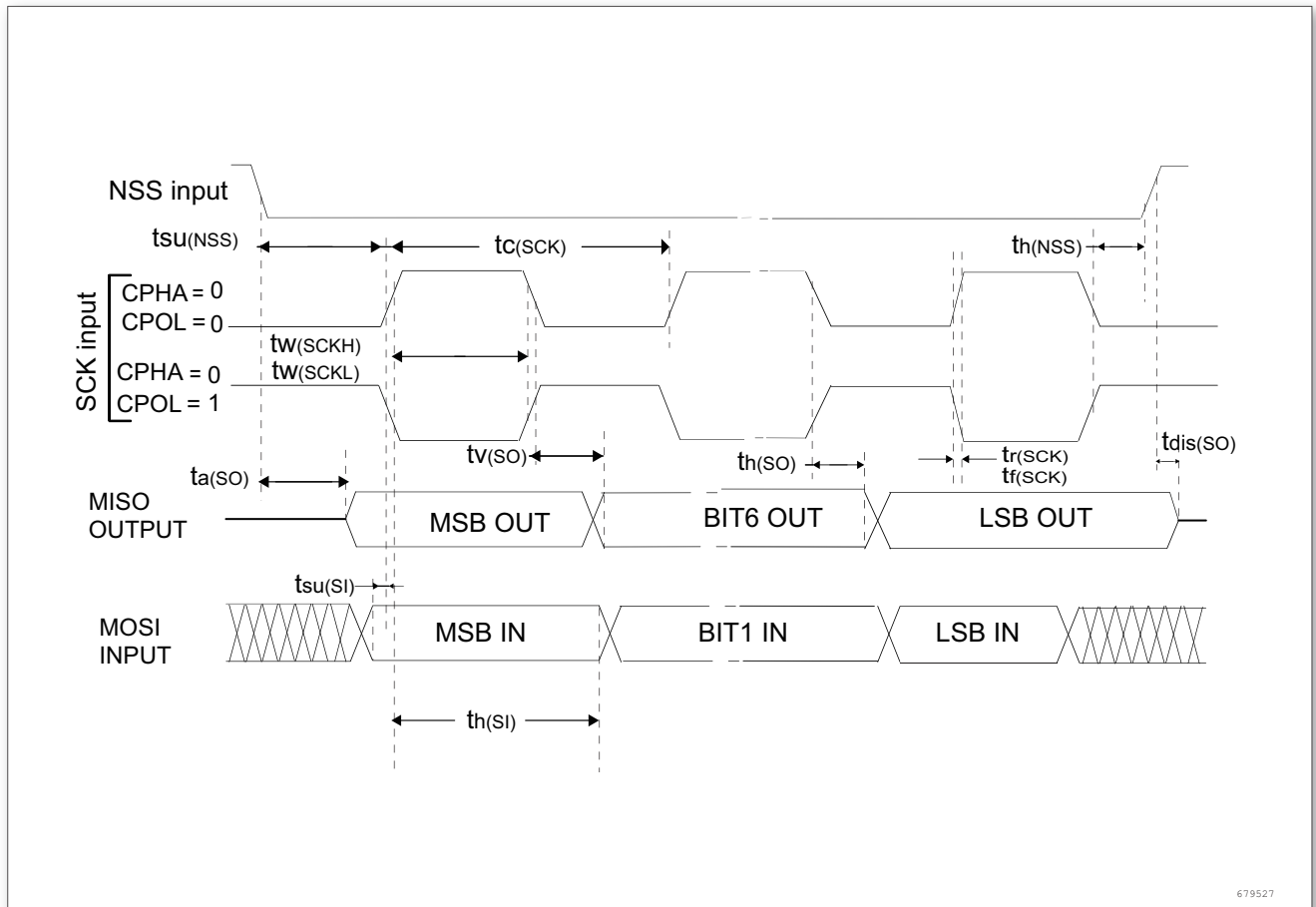


图 16. SPI 时序图-从模式和 CPHA = 0

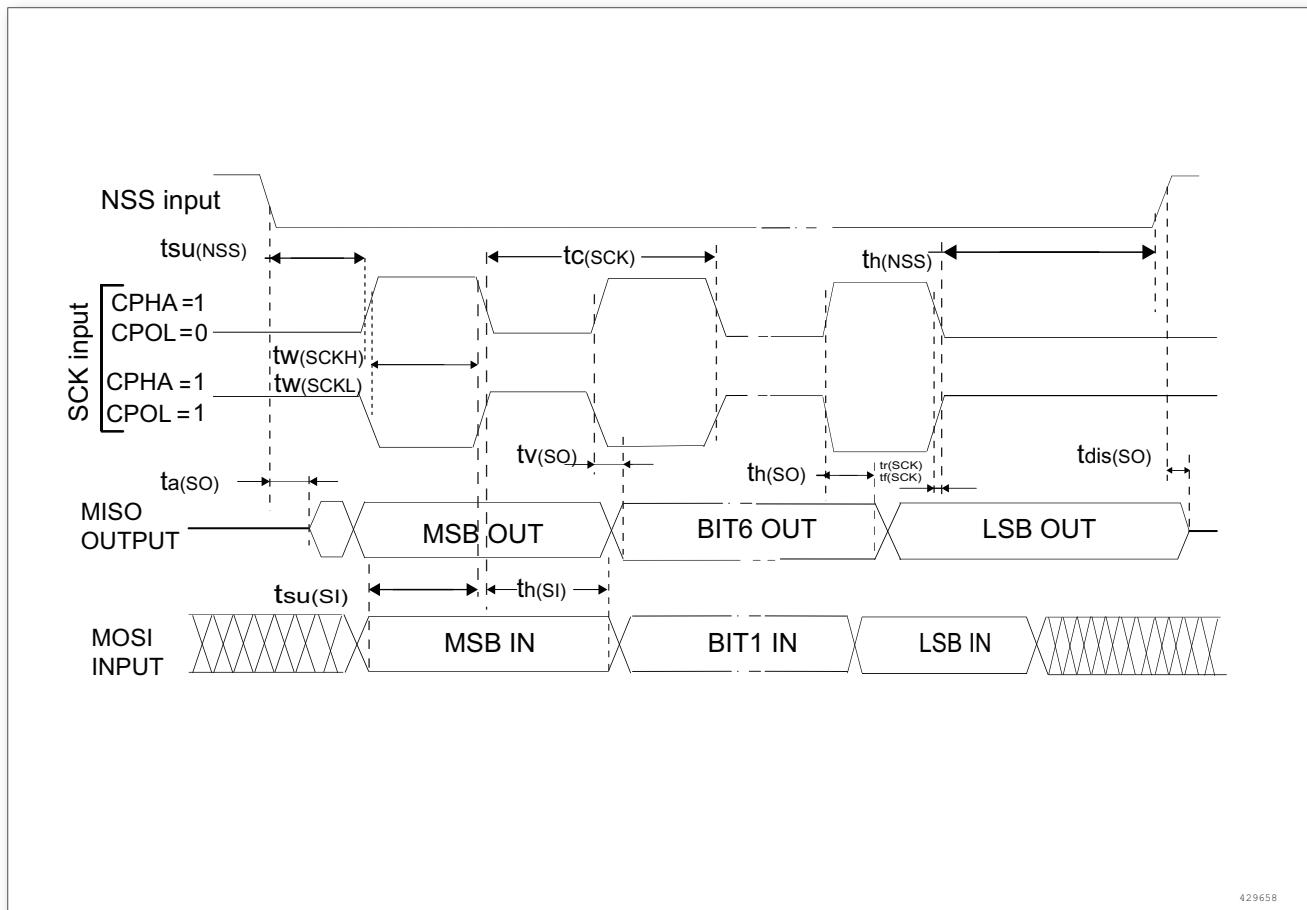


图 17. SPI 时序图-从模式和 CPHA = 1⁽¹⁾

- 1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

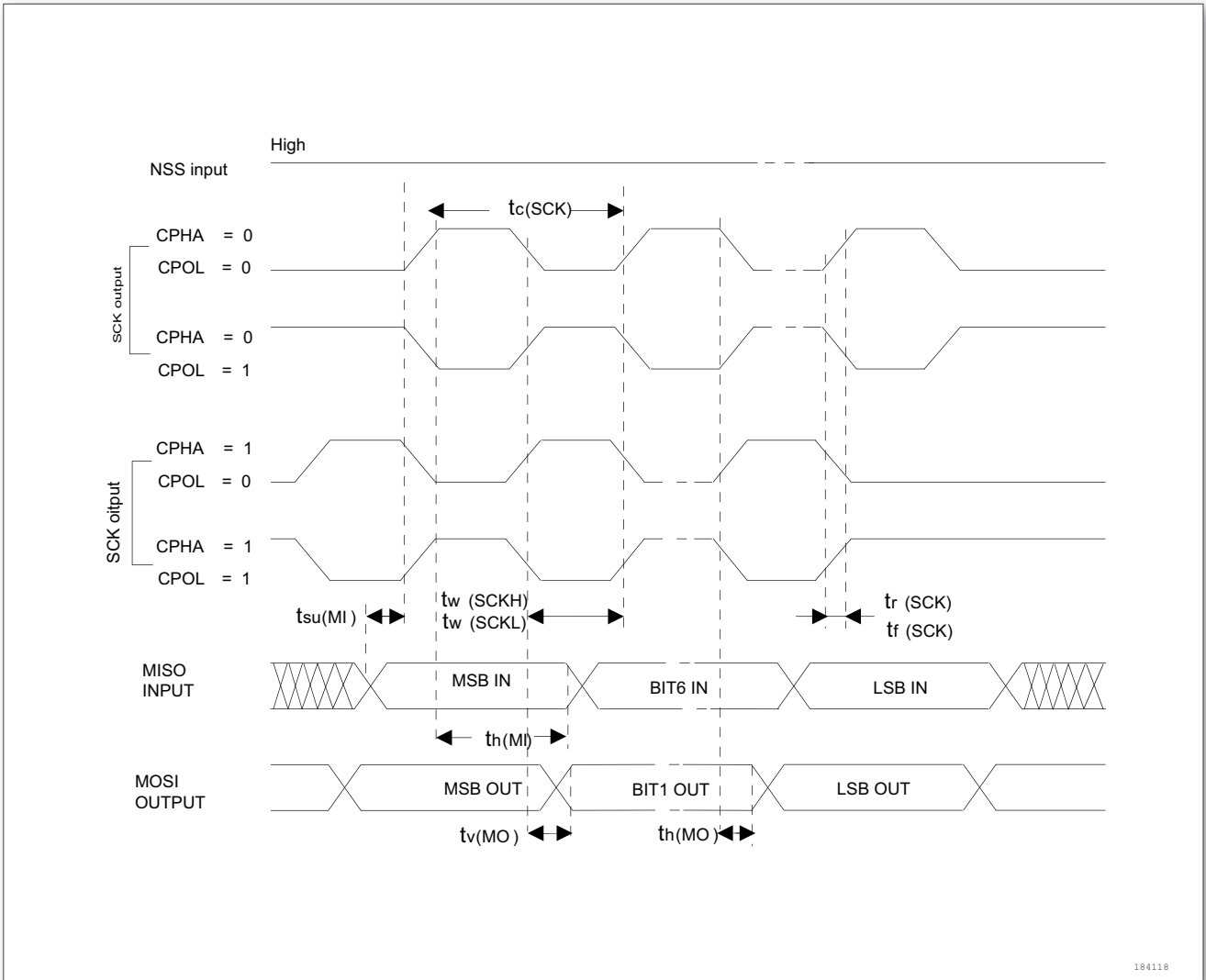


图 18. SPI 时序图-主模式⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

5.3.14 12 位 ADC 特性

除非特别说明，下表的参数是使用符合表 10 的条件的环境温度、f_{PCLK1} 频率和 V_{DD} 供电电压测量得到。

表 33. ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DD}	供电电压		2.0	3.3	5.5	V
f _{ADC} ⁽¹⁾⁽³⁾	ADC 时钟频率				16	MHz
f _S ⁽¹⁾⁽³⁾	采样速率				1	MHz
f _{TRIG} ⁽¹⁾	外部触发频率	f _{ADC} = 15MHz			937.5	kHz
					16	1/f _{ADC}
V _{AIN} ⁽²⁾	转换电压范围		0		V _{DD}	V
R _{AIN} ⁽²⁾	外部输入阻抗		参见公式 1 和表 34			kΩ
R _{ADC} ⁽¹⁾	采样开关电阻				1.5	kΩ

符号	参数	条件	最小值	典型值	最大值	单位
$C_{ADC}^{(2)}$	内部采样和保持电容				10	pF
$t_S^{(1)}$	采样时间	$f_{ADC} = 16\text{MHz}$	0.156		15.031	μS
			2.5		240.5	$1/f_{ADC}$
$t_{STAB}^{(1)}$	上电时间			1		μS
$t_{CONV}^{(1)}$	总转换时间 (包括采样时间)	$f_{ADC} = 16\text{MHz}$	1		15.8125	μS
			15 ~ 253 (采样 t_S + 逐步逼近 12.5)			$1/f_{ADC}$

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 对于外部触发，必须在时延中加上一个延迟 $1/f_{ADC}$ 。

$$R_{AIN} < \frac{T_S}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$

上述公式 (公式 1) 用于决定最大的外部阻抗，使得误差可以小于 1/4 LSB。其中 N = 12 (表示 12 位分辨率)。

表 34. $f_{ADC}=15\text{MHz}^{(1)}$ 时的最大 R_{AIN}

T_S (周期)	$t_S(\mu\text{s})$	最大 $R_{AIN} (\text{k}\Omega)$
2.5	0.156	0.1
8.5	0.531	4.0
14.5	0.906	7.8
29.5	1.844	17.5
42.5	2.656	25.9
56.5	3.531	34.9
72.5	4.531	45.2
240.5	15.031	153.4

1. 由设计保证，不在生产中测试。

表 35. ADC 精度 - 局限的测试条件 ⁽¹⁾⁽²⁾

符号	参数	测试条件	典型值	最大值	单位
ET	综合误差	$f_{PCLK1} = 24\text{MHz}$, $f_{ADC} = 12\text{MHz}, R_{AIN} < 0.1\text{k}\Omega$, $V_{DD} = 3.3\text{V}, T_A = 25^\circ\text{C}$	-7.5/+3		LSB
EO	偏移误差		-3/+5		
EG	增益误差		± 3		
ED	微分线性误差		-1/+4		
EL	积分线性误差		-4/+5		

1. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产

生反向注入电流的标准模拟引脚上，(引脚与地之间) 增加一个肖特基二极管。

如果正向的注入电流，只要处于小节 5.3.11中给出的 $I_{INJ(PIN)}$ 和 $\Sigma I_{INJ(PIN)}$ 范围之内，就不会影响 ADC 精度。

2. 由综合评估保证，不在生产中测试。

ET = 总未调整误差：实际和理想传输曲线间的最大偏离。

EO = 偏移误差：第一次实际转换和第一次理想转换间的偏离。

EG = 增益误差：最后一次理想转换和最后一次实际转换间的偏离。

ED = 微分线性误差：实际步进和理想值间的最大偏离。

EL = 积分线性误差：任何实际转换和端点相关线间的最大偏离。

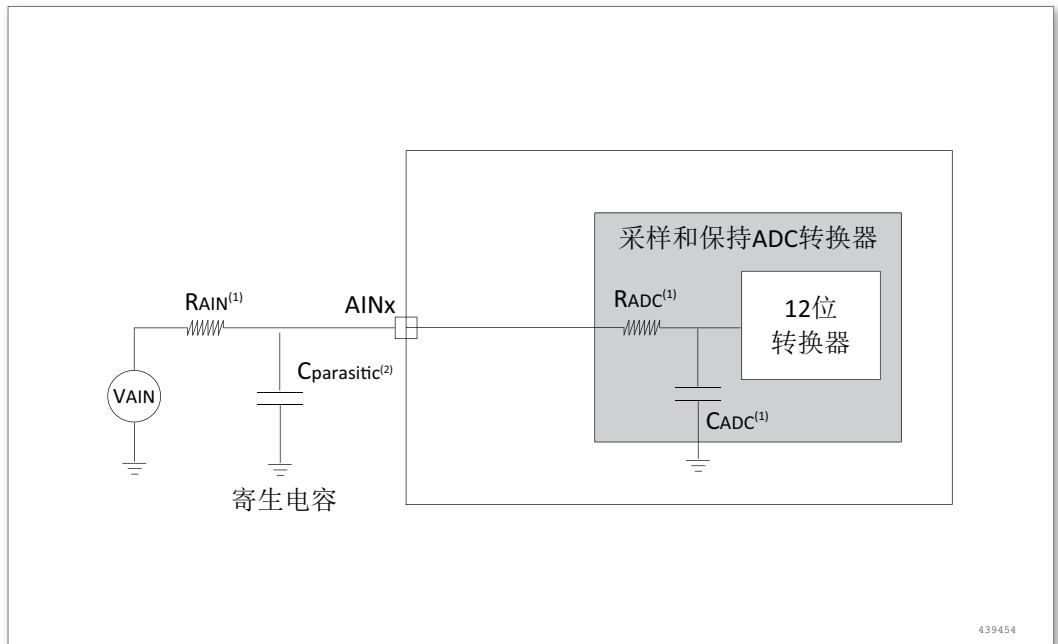


图 19. 使用 ADC 典型的连接图

1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见表 35。
2. $C_{parasitic}$ 表示 PCB(与焊接和 PCB 布局质量相关) 与焊盘上的寄生电容 (大约 7pF)。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

PCB 设计建议

电源的去藕必须按照下图连接。图中的 10 nF 电容必须是瓷介电容，它们应该尽可能地靠近 MCU 芯片。

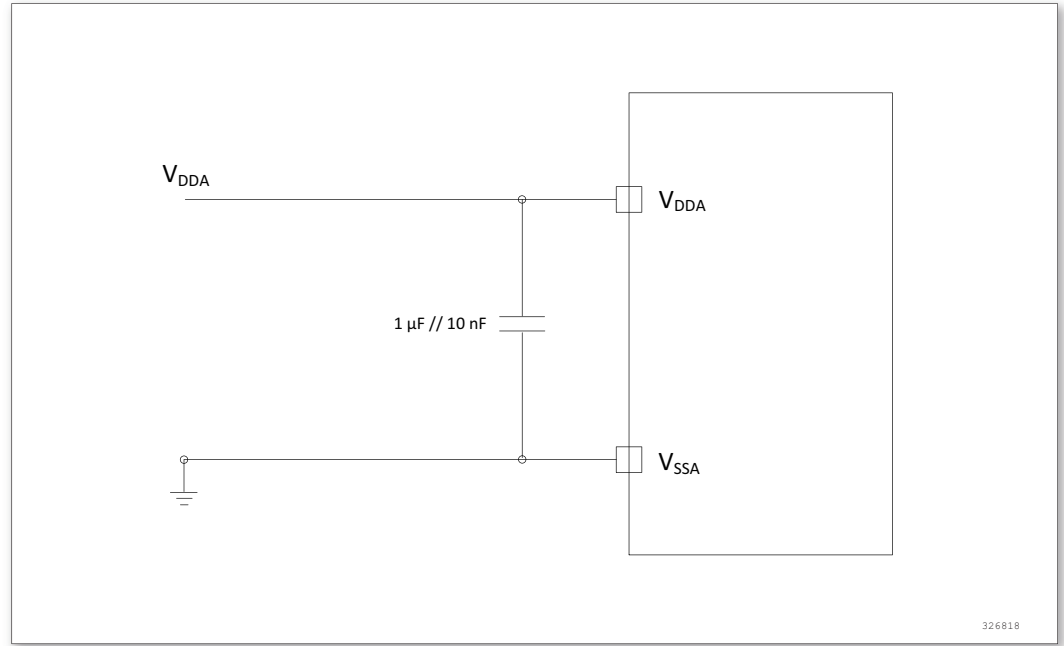


图 20. 供电电源和参考电源去藕线路

6

封装特性

封装特性

6.1 封装 QFN20

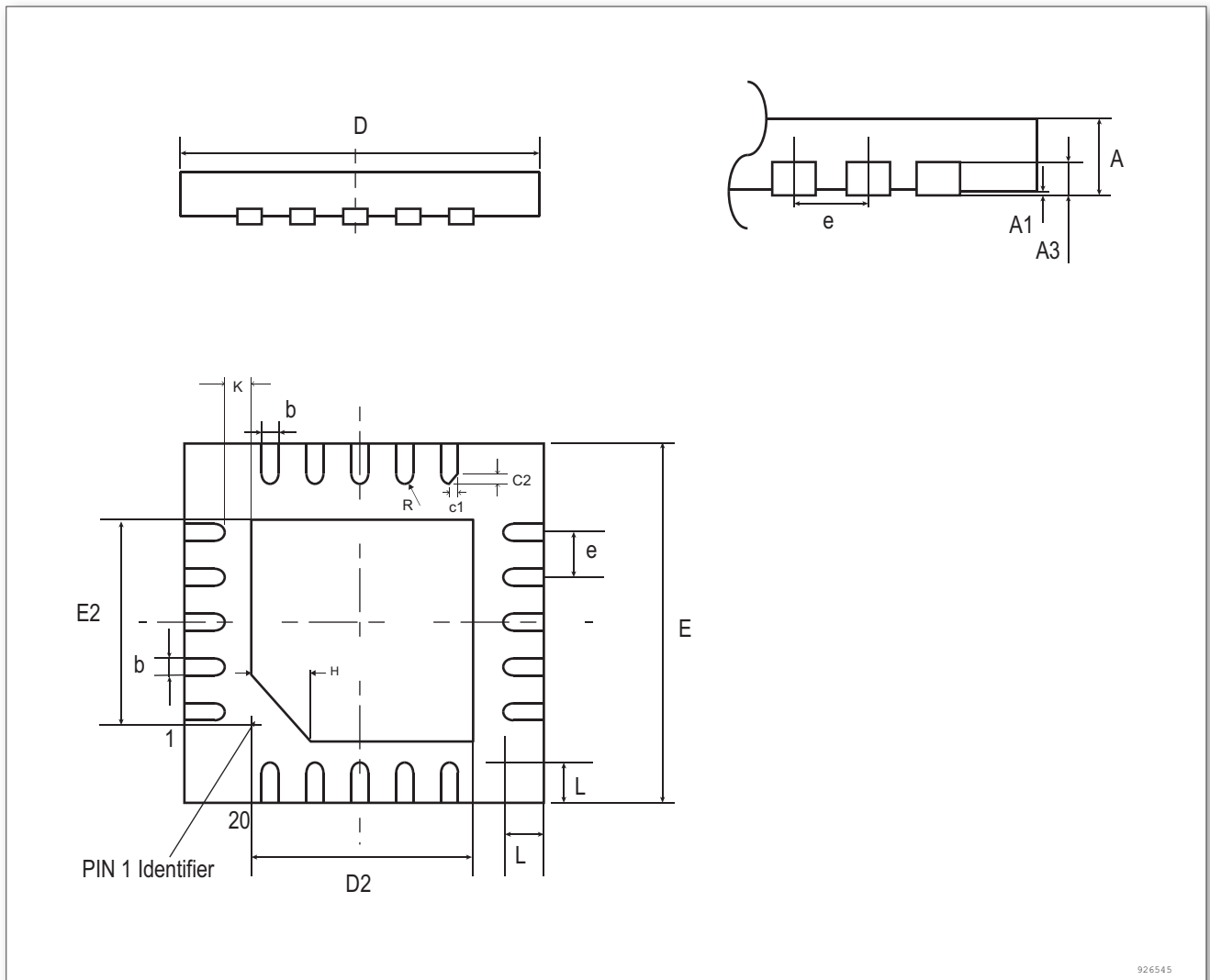


图 21.QFN20, 20 脚方形扁平无引线封装外形封装图

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 36. QFN20 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	0.50	0.55	0.60
A1	0.00	0.02	0.05
A3	0.152REF		
b	0.15	0.20	0.25
D	2.90	3.00	3.10
E	2.90	3.00	3.10
D2	1.40	1.50	1.60
E2	1.40	1.50	1.60
e		0.40	
H	0.35REF		
K	0.40REF		
L	0.25	0.35	0.45
R	0.075		
N	引脚数目 = 20		

6.2 封装 TSSOP20

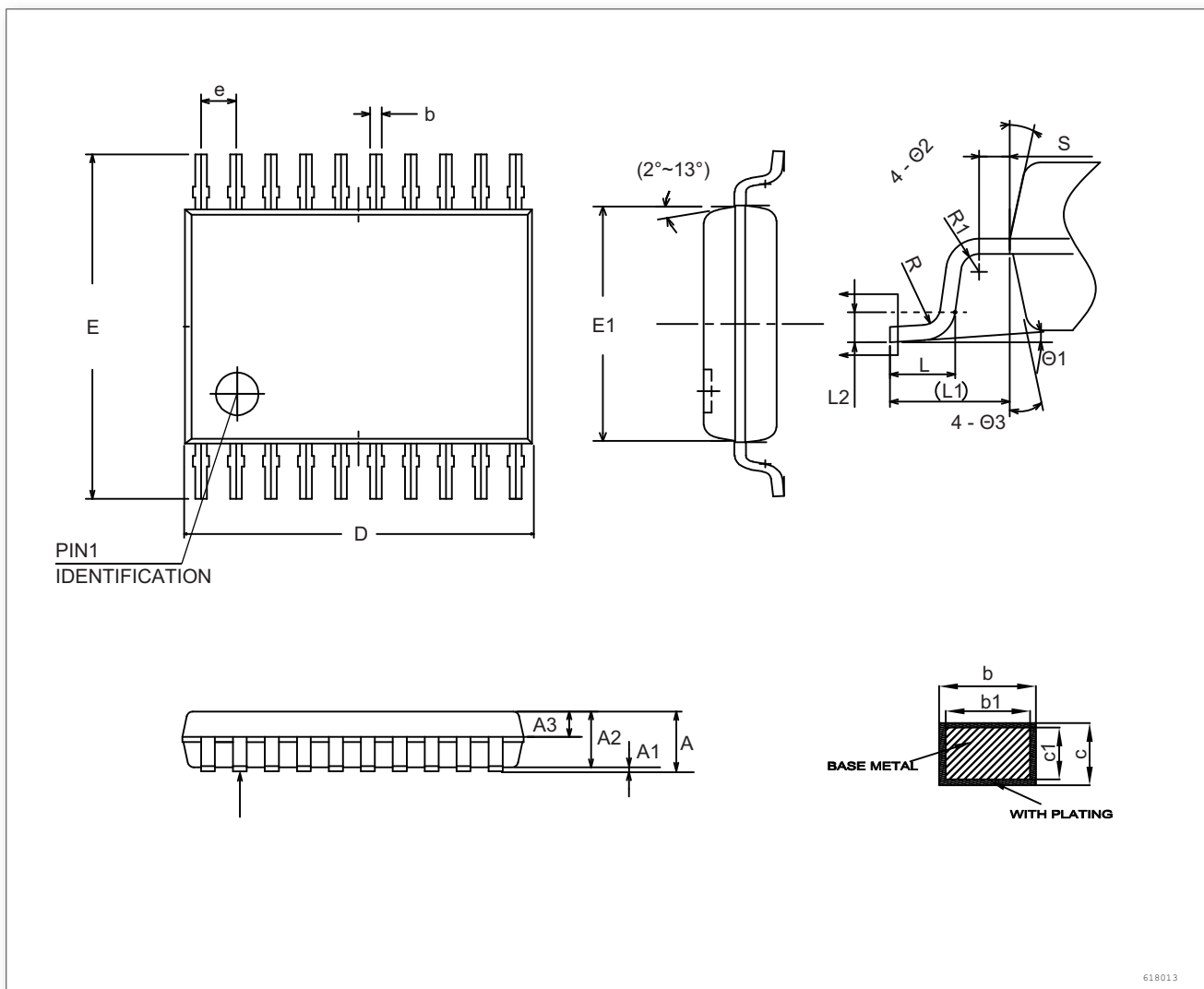


图 22 TSSOP20, 20 脚低剖面长方形扁平封装图

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 37. TSSOP20 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	1.0	-	1.10
A1	0.05	-	0.15
A2	-	-	0.95
A3	0.39	-	0.40
b	0.20	0.22	0.24
c	0.10	-	0.19
c1	0.10	-	0.15
D	6.40	6.45	6.50

标号	毫米		
	最小值	典型值	最大值
E	6.25	6.40	6.55
E1	-	4.35	4.40
e	0.55	0.65	0.75
L	0.50	0.60	0.70
L2	0.25BSC		
L1	1.0REF		
R	0.09	-	-
$\theta 1$	0°	-	8°

7

型号命名

型号命名

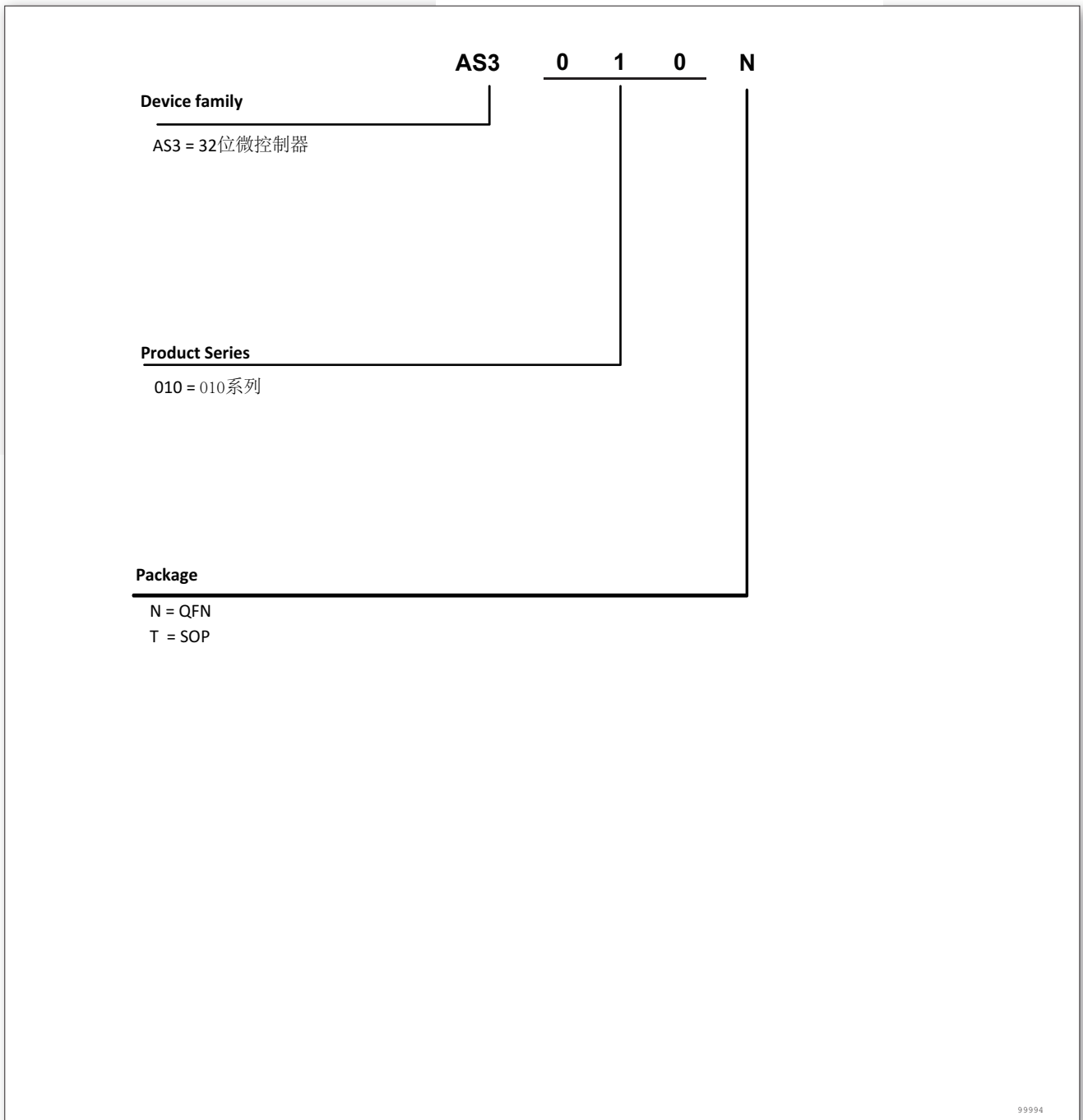


图 23. AS3 型号命名

8

修改记录

修改记录

表 38. 修改记录

日期	版本	内容
2020/07/02	Rev1.00	正式版